

平成27年度 修 士 論 文

整数論を用いた AD/DA 変換器の研究

指導教員 小林 春夫 教授

群馬大学大学院理工学府 理工学専攻
電子情報・数理教育プログラム

小林 佑太朗

目次

第 1 章	序論.....	4
1.1	研究背景と目的	4
1.2	本研究の概要.....	5
1.3	本論文の構成.....	5
第 2 章	AD 変換器・DA 変換器.....	6
2.1	概要	6
2.2	データコンバータの基本事項	7
2.2.1	データコンバータの基本用語.....	7
2.2.2	データコンバータの変換動作.....	8
2.2.3	データコンバータの評価指標.....	11
2.3	AD 変換器	14
2.3.1	逐次比較近似型 AD 変換器.....	14
2.3.2	$\Delta\Sigma$ 型 AD 変換器	15
2.3.3	フラッシュ型 AD 変換器	16
2.3.4	パイプライン型 AD 変換器.....	17
2.3.5	各種 AD 変換器の利用と研究動向.....	18
第 3 章	逐次比較近似型 AD 変換器と冗長設計	19
3.1	概要	19
3.2	逐次比較近似型 AD 変換器について	19
3.3	逐次比較近似型 AD 変換器の非冗長設計	20
3.3.1	構成	20
3.3.2	動作	22
3.3.3	非冗長の変換動作	24
3.4	逐次比較近似型 AD 変換器の冗長設計.....	25
3.4.1	冗長設計の概要と高信頼性化について	25
3.4.2	冗長設計の一般化	26
3.4.3	冗長設計による高速化.....	28
3.4.4	冗長を持つ逐次比較近似型 AD 変換器の設計	30
3.4.5	比較電圧重み $p(k)$ の従来選択手法とその問題点	31
第 4 章	整数論	33
4.1	概要	33
4.2	フィボナッチ数列と黄金比.....	33
4.2.1	基本性質.....	35
4.2.2	フィボナッチ探索法	39

4.2.3	R-R 抵抗列	41
4.3	リュカ数列と X ボナッチ数列	43
4.3.1	リュカ数列	43
4.3.2	X ボナッチ数列	44
4.4	白銀比	45
第 5 章	整数論を用いた冗長 AD 変換器設計	46
5.1	概要	46
5.2	フィボナッチ数列を用いた冗長 AD 変換器設計	46
5.2.1	フィボナッチ数列の応用	47
5.2.2	フィボナッチ数列を用いた冗長設計の性質	48
5.2.3	黄金比 DA 変換器設計	52
5.3	リュカ数列と X ボナッチ数列を用いた冗長 AD 変換器設計	60
5.3.1	リュカ数列を用いた冗長 AD 変換器設計	60
5.3.2	X ボナッチ数列を用いた冗長 AD 変換器設計	61
5.4	白銀比を用いた冗長 AD 変換器設計	62
5.4.1	整定時間短縮の考え方	62
5.4.2	擬似白銀比重みの導出	63
5.4.3	白銀比について	63
5.4.4	擬似白銀比手法の補正効果	64
5.4.5	擬似白銀比手法の実現における利点	65
5.5	DA 変換器の不完全整定時間比較	66
5.5.1	フィボナッチ数列を利用した DA 変換器出力不完全整定の理論解析	66
5.5.2	擬似白銀比を利用した DA 変換器出力不完全整定の理論解析	67
5.5.3	DA 変換器出力不完全整定の比較	68
第 6 章	結論	71
	付録	73
	謝辞	75
	参考文献	76
	研究成果	79
	論文・発表	79
	受賞歴	83

第 1 章 序論

1.1 研究背景と目的

情報通信社会の急速な発達により、デジタル信号を用いた通信・計測・制御技術の重要性が高まっている。大きさ・時間的に離散値を取るデジタル信号は、アナログ信号に比べ柔軟性・再現性・精度において優れているためである。これに対して、音や光や温度などの自然界の信号は大きさ・時間的に連続のアナログ信号であるため、自然界の物理量を扱う処理にはアナログ信号とデジタル信号を相互に変換するデバイスである AD 変換器(ADC: Analog to Digital Converter)や DA 変換器(DAC: Digital to Analog Converter)が必要不可欠である。様々なシステムの進化に伴い、組み込まれる AD 変換器や DA 変換器へ要求される性能も年々高くなっている。

特に IoT(Internet of Things)実現の大きなテーマのひとつである自動車に組み込まれる制御システムの要求レベルは高い。車載用のエレクトロニクス技術には自動車の走行を制御するもの、安全性・利便性を高めるためのもの、自動車の情報を送受信するものなど様々な種類があり、自動車の差別化や付加価値の創出に貢献している。AD 変換器は車載用マイコンと組み合わせ、数々のセンサから得られる多くの情報をもとに自動車を制御して安全かつ快適な走行を実現しており、特に重要な役割を果たしている。現在、実現へ向けて様々な取り組みが行われている自動運転技術においても同様に重要である。

自動車において車載用マイコンと組み合わせて使用される AD 変換機は、逐次比較近似型 AD 変換器 (SAR ADC: Successive Approximation Register ADC) と呼ばれる方式である(図 1-1)。消費電力や集積度において特に有利な方式であり、車載システムに必要不可欠な逐次比較近似型 AD 変換器の発展の意義は大きい。

そこで本論文は車載用の高信頼性・高速の逐次比較近似 AD 変換器実現に向けた設計理論の構築を目的と設定する。

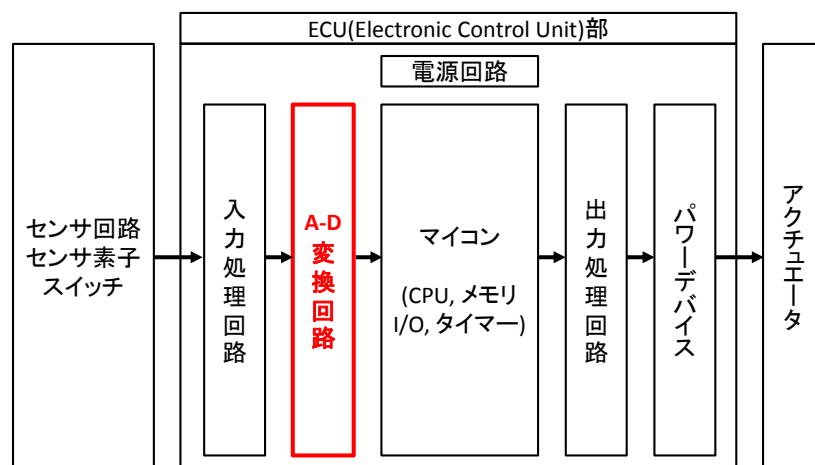


図 1-1 車載システムにおけるマイコン周辺の構成

1.2 本研究の概要

逐次比較近似型 AD 変換器を高信頼性化・高速化するための一般的な手法として、冗長設計が存在する。時間的冗長をシステムに組み込み AD 変換過程を変更することによりデジタル誤差補正を実現させ、性能を向上させる方法である[1-18]。しかしながら従来の設計手法は理論構築が不十分なところがあり、最適な基準値の選択方法が存在しなかったことで冗長設計による性能向上を妨げていた。具体的には適切な比較電圧重みによる解探索の実現ができていなかった。

そこで本研究では、適切な比較電圧重みを求める理論の構築を行った。特に整数を取り扱う AD 変換器や DA 変換器に適した、整数論を用いて理論構築を行った。最適な解探索のための具体的なアプローチは主に以下の 2 点である。

1. フィボナッチ数列と黄金比を用いた冗長アルゴリズム設計
2. 擬似的な白銀比を用いた冗長アルゴリズム設計

本論文では、以上の 2 点に対しての式や数値を用いた理論解析を行い、従来手法へ貢献する様々な性質や設計における優位点を示す。

1.3 本論文の構成

本論文の構成は次のようになっている。第 1 章で本論文の概要を述べ、次に第 2 章で AD 変換器の基礎事項説明を行い、第 3 章では冗長設計について式を用いた一般化を行う。第 4 章ではフィボナッチ数列や黄金比、白銀比に関する整数論とその性質を述べ、第 5 章で主題である整数論を用いた AD 変換器の高性能化を示し、最後の第 6 章で成果をまとめる。

第 2 章 AD 変換器・DA 変換器

2.1 概要

アナログ信号をデジタル信号へ変換するデバイスは AD 変換器と呼ばれる(図 2-1)。マイコンなどによるデジタル信号処理の重要性が高まる中、AD 変換器の重要性が高まっている。AD 変換器には主な方式として、ナイキスト AD 変換器には逐次比較近似(SAR)型 AD 変換器・フラッシュ型 AD 変換器・パイプライン AD 変換器があり、オーバーサンプル AD 変換器としては $\Delta \Sigma$ 型 AD 変換器がある。それぞれの方式にメリットとデメリットが存在し、組み込まれるアプリケーションによって使い分けられている。

また AD 変換器と逆の変換、すなわちデジタル信号をアナログ信号へ変換するデバイスは DA 変換器と呼ばれる。デジタル領域で処理した信号を、圧力や音などの物理量へ変換する必要がある場合には、AD 変換器と同様に重要な役割を果たす。主な方式として、電流源型 DA 変換器、抵抗列型 DA 変換器、容量型 DA 変換器が存在している。AD 変換器同様、アプリケーションによって使い分けられている。DA 変換器は AD 変換器のサブブロックとして利用される。

AD 変換器・DA 変換器ともに、制御・計測・通信等の分野においては必要不可欠なデバイスであり、変換性能の向上が強く望まれている。本章では AD 変換器・DA 変換器すなわちデータコンバータの基本事項や AD 変換器の各方式と研究動向について述べる。

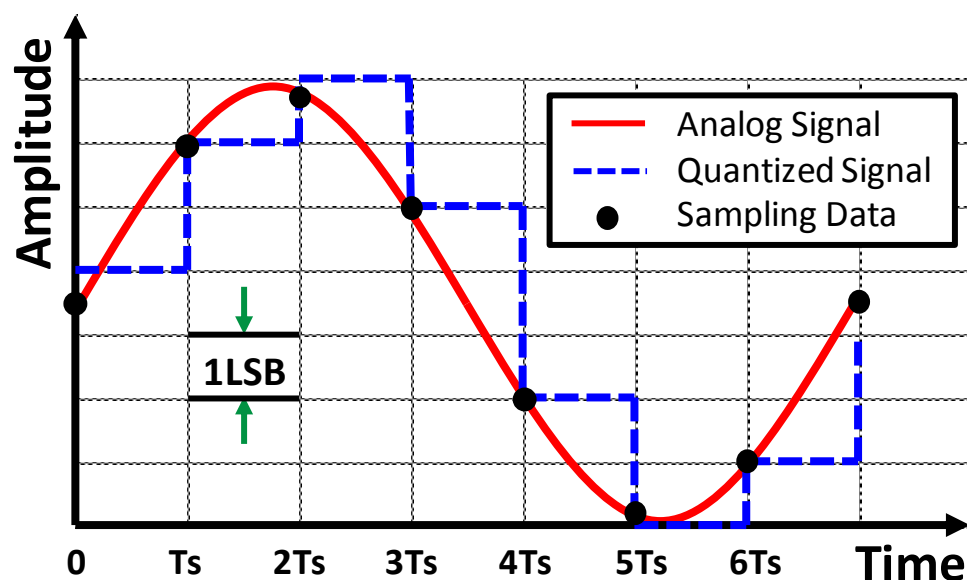


図 2-1 AD 変換

2.2 データコンバータの基本事項

アナログ信号とデジタル信号を相互に変換するデバイスを総称してデータコンバータと呼ぶ。データコンバータには AD 変換器と DA 変換器の他に、時間ディジタル化回路 (TDC : Time to Digital Converter)を含めることがあるが、本論文では AD 変換器と DA 変換器についてのみ記述する。

データコンバータはディジタル信号処理には必要不可欠なデバイスである。ディジタル信号処理には主に以下の 4 つの利点があるため、広い分野で利用されている。

- ◆ 複雑な処理をこなすことができる
- ◆ ノイズ等の外乱に強い
- ◆ 長期間の記憶でも劣化しない
- ◆ 装置のばらつきが小さく、調整箇所が少ない

本節では、ディジタル信号処理に必要なデータコンバータの用語や変換原理等の基本事項について述べる。

2.2.1 データコンバータの基本用語

(1) 変換速度(サンプリングレート)

1 秒間に変換できるサンプル数のこと。単位は[Sample/sec]、[S/s]、[Sps]、[sps]が利用される。一般的に変換速度と分解能はトレードオフの関係にある。

(2) 分解能

変換できる二進数の桁数。単位は[bit]が利用される。分解能を N とすると $0 \sim 2^N - 1$ の範囲のディジタル値が変換される。一般的に変換速度と分解能はトレードオフの関係にある。

(3) フルスケール(FS : Full Scale)

ディジタルの $0 \sim 2^N$ に相当するアナログ振幅のこと。

(4) MSB

一般的には最大桁(Most Significant Bit)を意味する。まれに上位桁(More Significant Bit)を表現することもある。

(5) LSB

一般に最小桁(Least Significant Bit)を意味する。まれに下位桁(Less Significant Bit)を表現することもある。

また最小桁に相当するアナログ量の単位として用いる。その場合、 $1[\text{LSB}] = \text{FS} / 2^N$ が成り立つ。

2.2.2 データコンバータの変換動作

アナログ信号は時間と大きさについて連続であることに對し、ディジタル信号は時間と大きさにおいて不連続である。したがって AD 変換においては、時間を離散化とするための標本化と、電圧や電流などの大きさを離散化する量子化の二つの離散化が必要となる。これに對して DA 変換は AD 変換の逆の処理が必要で、有限の分解能の数値に對応するアナログ値を決まった周期で出力する。本項では標本化と量子化について述べる。

◆標本化

標本化とは決まった周期のタイミングで、入力アナログ信号の値を取得することである。すなわち連続的なアナログ入力の振幅値をある離散的な周期で区切り、アナログ振幅の瞬間値インパルスを取り出す。

アナログ信号 $x(t)$ を一定間隔 T_s で標本化すると、標本化列 $x(n)$ が得られる。 T_s の逆数 $f_s = 1/T_s$ を標本化周波数と、 $\omega_s = 2\pi/T_s$ を標本化角周波数と呼ぶ。標本化された信号 $x_s(t)$ をインパルス列として表すと式(2-1)となる($\delta(x)$ はインパルス関数)。

$$x_s(t) = \sum_{n=-\infty}^{\infty} x(n)\delta(t - nT_s) = \sum_{n=-\infty}^{\infty} x(n)\delta(t - nT_s) \quad (2-1)$$

すなわち標本化はアナログ信号とインパルス列の乗算とみなせる。

ここで標本化後のスペクトラム $X_s(\omega)$ と原信号 $x(t)$ のスペクトラム $X(\omega)$ の関係を求める。インパルス列 $\delta_T(t) (= \sum_{n=-\infty}^{\infty} \delta(t - nT_s))$ は周期 T_s の周期関数なのでフーリエ級数展開すると、式(2-2)のようになる。

$$\delta_T(t) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} e^{jn\omega_s t} \quad (2-2)$$

フーリエ変換は式(2-3)になる。

$$\begin{aligned} \delta_s(\omega) &= \int_{-\infty}^{\infty} \delta_T(t) e^{-j\omega t} dt = \frac{1}{T_s} \int_{-\infty}^{\infty} \sum_{n=-\infty}^{\infty} e^{jn\omega_s t} \cdot e^{-j\omega t} dt \\ &= \frac{2\pi}{T_s} \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_s) = \omega_s \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_s) \end{aligned} \quad (2-3)$$

信号 $x_s(t)$ は二つの信号 $x(t)$ と $\delta_T(t)$ の積なのでスペクトル X_s はフーリエ変換の畳み込み定理を用いて、式(2-4)のようになる。

$$X_s(\omega) = \frac{1}{2\pi} [\delta_s(\omega) * X(\omega)] = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(\omega - n\omega_s) \quad (2-4)$$

したがって信号 $x_s(t)$ のスペクトル $X_s(\omega)$ は、図 2-2 のような標本化する前のアナログ信号 $x(t)$ のスペクトル $X(\omega)$ を間隔 ω_s で周波数軸に配置した周期関数となる。

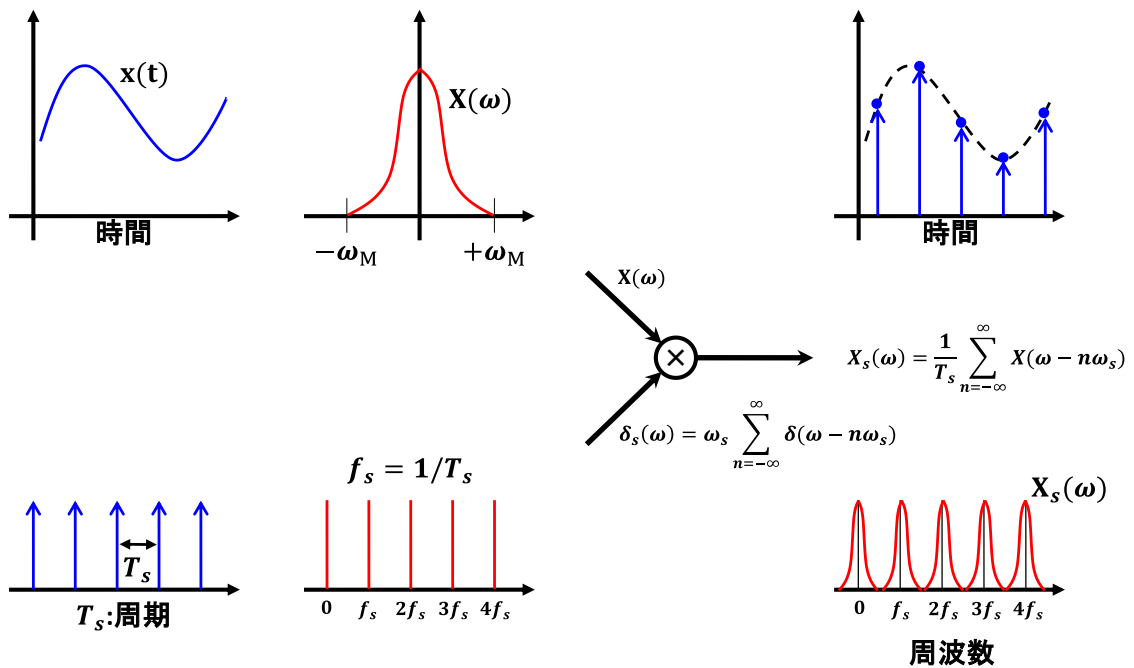


図 2-2 標本化について

信号 $x(t)$ のフーリエ変換 $X(\omega)$ がある角周波数 ω_M に対して、式(2-5)を満たすとき信号 $x(t)$ は帯域制限されているという。

$$X(\omega) = 0, |\omega| \geq \omega_M \quad (2-5)$$

帯域制限信号であるとき、式(2-4)から $\omega_s > 2\omega_M$ ならば重なりなく周波数軸に配置されるが、 $\omega_s < 2\omega_M$ だとスペクトルの重なりが生じる。信号が重なると元の信号が再現できなくなる。

ある連続時間信号をサンプリングした場合、アナログ信号 $x(t)$ の信号帯域が標本化角周波数の $1/2$ よりも狭い場合は、理想低域フィルタを用いることで標本化列から原信号を復元することができる。これを標本化定理という。また標本化定理が守られない場合、信号スペクトルが重なり、原信号を復元できなくなる。これを折り返し(エイリアシング)という。

◆量子化

量子化とはアナログ振幅の単位ステップを単位として離散的な値(デジタル値)に変換する操作のことである。量子化を行うには、まず、アナログ入力の最大振幅値FSを決める。次に、この最大振幅値FSを単位振幅(量子数q)ごとに 2^N 等分(Nはビット数)で離散値に分割し、基準とする。それから、標本化されたアナログ振幅を基準と比較の上、端数処理を行って一番近い離散値に近似させ、離散値に当てはめる。こうして振幅を数値化していくことを量子化(Quantizing)という。端数処理を行う際、入力信号と量子化された信号との間に生じる振幅の誤差を量子化誤差と呼び、このときの単位最小ステップのことを量子分解能(=LSB)という。AD変換において原理的に量子化雑音を回避することは出来ない。量子化雑音はランダム信号とみなしノイズとして考える。AD変換器の代表的な性能指標の一つであるSNR(Signal to Noise Ratio)は、FS振幅の正弦波を入力した場合の信号電力と雑音電力の総和の比率であるが、ノイズとして考えられる量子化雑音の影響が大きい。量子化雑音を小さくするには、分解能を上げる必要がある。

ここで SNR について考える。量子化誤差が $-q/2$ と $q/2$ の間に均等に分布していると考えれば、その確立密度関数 $p(x)$ は式(2-6)になる。

$$p(x) = \begin{cases} \frac{1}{q}, & |x| \leq \frac{q}{2} \\ 0, & |x| > \frac{q}{2} \end{cases} \quad (2-6)$$

よって、確立平均電力、つまり量子化雑音 N_q は式(2-7)になる。

$$N_q = \int_{-q/2}^{q/2} x^2 p(x) dx = \frac{1}{3} \left(\frac{q}{2} \right)^2 = \frac{q^2}{12} \quad (2-7)$$

一方で FS の正弦波信号入力を AD 変換器に加えたときの信号電力 S は N を AD 変換器分解能とすると、式(2-8)となる。

$$S = \frac{1}{2} \left(\frac{2^N q}{2} \right)^2 = 2^{(2N-3)} q^2 \quad (2-8)$$

よって $SNR(=(\text{信号電力})/(\text{ノイズ電力}))$ を求めると、dB 表示で式(2-9)[dB]となる。

$$SNR = 10 \log \left(\frac{S}{N_q} \right) = 20N \log 2^N + 10 \log 1.5 = 6.02N + 1.76 \quad (2-9)$$

ここから、分解能 N を 1bit 増加させるにつれて SNR は約 6dB 向上する。高分解能の器ほど量子化雑音を低減させ、雑音性能が向上することがわかる。

2.2.3 データコンバータの評価指標

データコンバータの評価には、静的評価指標と動的評価指標が存在する。静的評価指標は入力にランプ波信号を入力し、変換後の出力を評価するもので、主に変換における線形性を確認する指標である。動的評価指標は入力にフルスケールの正弦波を入力し、変換後の出力を周波数領域で解析するものであり、主に信号電力と雑音の性能を示す。

(1) 静的評価指標

図 2-3 に静的評価指標の説明図を示す。なお変換特性の線形成分(相対直線)の定義はエンドポイントライン(最小出力と最大出力を結ぶ線)とベストストレートライン(最小二乗法などによりベストな性能を出せる線)を利用する。

A. 微分非直線性誤差(DNL:Differential Non-Linearity)

一定の変換値を取る入力信号電圧範囲 V_a の理想的な量子化電圧 V_q からのずれを量子化電圧 V_q で規格化した値を示す。主にノイズに関係する。式(2-10)で表現され、ある出力デジタルコードがなくなる(ミッシングコードが発生する)と DNL は -1LSB を示す。

$$\text{DNL}(\text{LSB}) = \frac{V_a - V_q}{V_q} \quad (2-10)$$

B. 積分非直線性誤差(INL:Differential Non-Linearity)

実際の入力信号値の理想特性からのずれを示す。DNL 値の積分値であり、歪成分に関係する。式(2-11)で表現される

$$\text{INL}(\text{LSB}) = \int \text{DNL} \Delta \text{code} \quad (2-11)$$

C. オフセット誤差

相対直線のゼロ入力相当値の理想値からのずれを示す。

D. ゲイン誤差

相対直線の 2^N 相当値とゼロ相当値の差に関しての理想値からのずれで、FS の誤差を示す。

E. 単調性

AD 変換と DA 変換特性において単調増加や単調減少が保たれるかを示す。直線性に大きな影響を及ぼさないことも多いが、負帰還システムにおいては問題を引き起こすこともある。

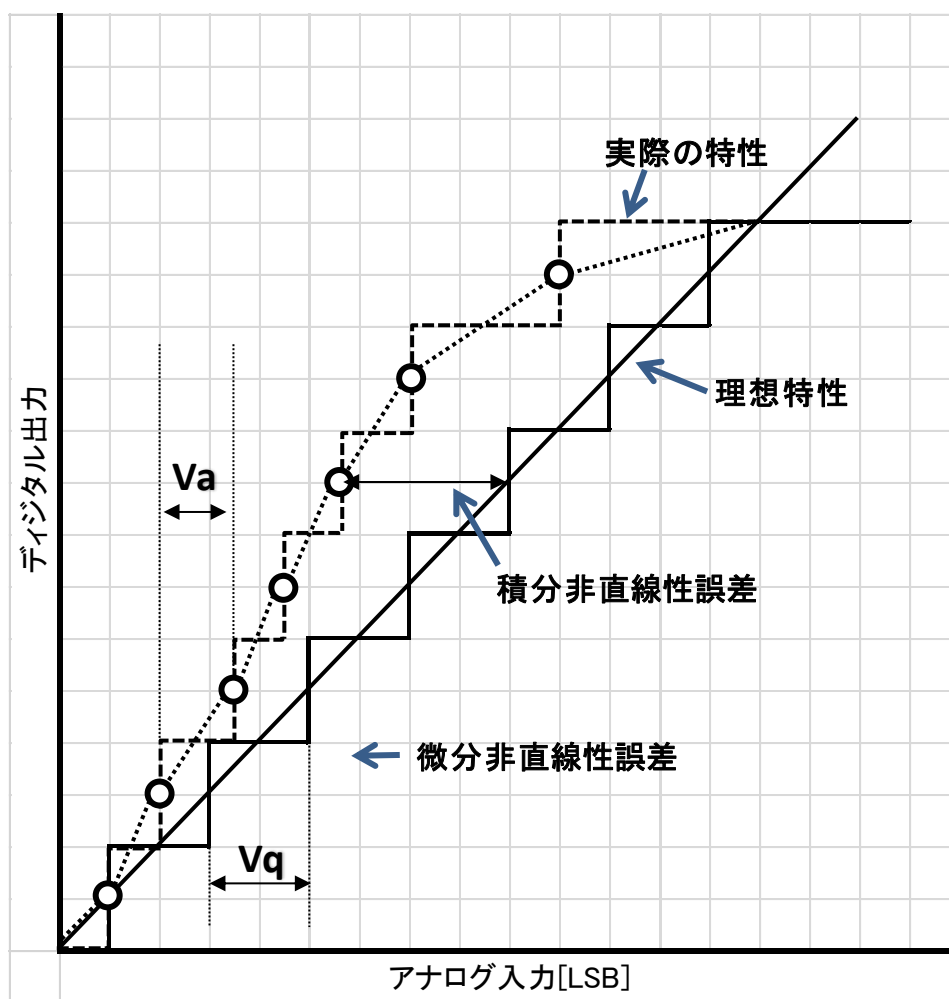


図 2-3 3-bit AD 変換特性

(2) 動的評価指標

A. SNR(Signal to Noise Ratio)

正弦波を入力したときの信号対雑音の成分比を **SNR** と呼ぶ。雑音には量子化誤差、回路内の雑音が含まれる。基本波の実効値を A_s 、全雑音の実効値を A_n とすると式(2-12)のように表現できる。

$$\text{SNR} = 20 \log \frac{A_s}{A_n} [\text{dB}] \quad (2-12)$$

B. THD(Total Harmonic Distortion)

基本波信号と全高調波歪成分との比率を **THD** と呼ぶ。何次の高調波まで求めるかで値が変わるが一般的には 5 次程度までである。全高調波の実効値を A_{HD} とすると式(2-13)となる。

$$\text{THD} = 20 \log \frac{A_{\text{HD}}}{A_s} [\text{dB}] \quad (2-13)$$

C. SFDR(Spurious-Free Dynamic Range)

基本波信号と高調波歪または非高調波関連スプリアスの最大値との比を **SFDR** と呼ぶ。式(2-14)となる。

$$\text{SFDR} = 20 \log \frac{A_s}{A_{\text{HD(max)}}} [\text{dB}] \quad (2-14)$$

D. SNDR(Signal to Noise and Distortion Ratio)

基本波信号の成分と、全高調波歪と雑音成分の和の比を **SNDR** と呼ぶ。式(2-15)で表現される。通信系では **SINAD** と呼ばれることもある。

$$\text{SNDR} = 20 \log \frac{A_s}{A_n + A_{\text{HD}}} [\text{dB}] \quad (2-15)$$

E. ENOB(Effective Number of Bits)

ENOB は雑音性能や分解能によって決まる実際の有効 **bit** を示す指標である。式(2-16)で表現される。

$$\text{ENOB} = \frac{\text{SNDR} - 1.76}{6.02} [\text{bits}] \quad (2-16)$$

2.3 AD 變換器

本節では基本的な 4 方式の AD 変換器について簡単に説明し、それぞれの特徴や用途、研究動向について示す。

2.3.1 逐次比較近似型 AD 變換器

逐次比較近似型 AD 変換器は消費電流が小さく、サンプリングレートを上限以下なら自由に決定できるという特徴があるため汎用性が高い。8~24-bit 分解能という高分解能を持ち変換速度は 10Msps ほどまでが存在する。またオペアンプを利用しないデジタル回路主体という方式から、プロセスの微細化に強く注目が集まっている。またマルチプレクサとの組み合わせで入力チャネル数を増やすことができることが測定などで役立っている。ただし 18-bit 以上では高精度が難しく、精度が悪いとミッシングコードが発生することがあることに注意が必要である。

逐次比較近似型 AD 変換器の主な構成要素はサンプルホールド回路、コンパレータ、DA 変換器、ロジック回路である(図 2-4)。変換の原理は天秤の原理であり、入力アナログ電圧と基準となる電圧の比較判定を繰り返すことで変換を実現する。

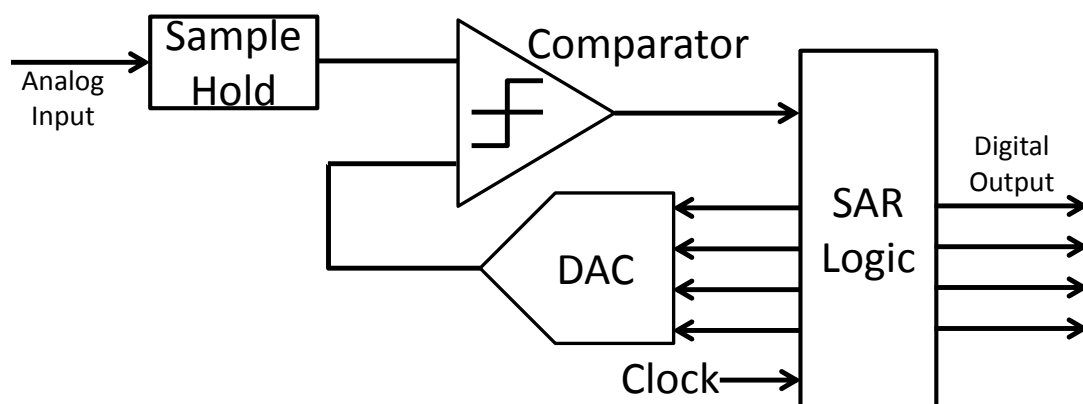


圖 2-4 逐次比較近似型 AD 變換器

2.3.2 $\Delta \Sigma$ 型 AD 変換器

$\Delta \Sigma$ 型 AD 変換器は分解能が最も高く 12~24-bit 分解能が存在し、32bit のものもある高分解能 AD 変換器である。変換速度は 10Msps 程度までが存在する。本来欲しいサンプリング周波数の数倍~数百倍で AD 変換を行うオーバーサンプリング技術を利用しているため、変換速度に対して消費電力が大きい。アンチエイリアスフィルタが不要な点や、高 SNR の実現、ミッシングコードがないというメリットがある反面、変換速度の遅さや応答性能の悪さに注意が必要な形式である。

$\Delta \Sigma$ 型 AD 変換器の主な構成要素は減算器、積分器、1-bitAD 変換器(コンパレータ)、1-bitDA 変換器である(図 2-5)。変換の手順は入力アナログ電圧と DA 変換器出力を減算器に入力し、その差を積分器に入力、その積分器の出力の値でコンパレータが 1-bit 分の値を決定する。その後出力において、データを平均化することで実際の出力値を決定し分解能が上がる。この過程でオーバーサンプリングとノイズシェーピングを利用すると帯域内の雑音密度が変化し、高 SNR を得ることができる。

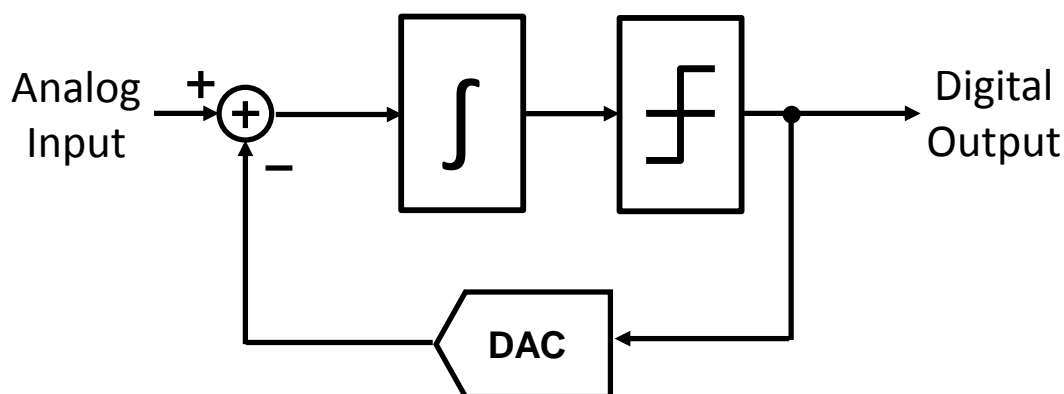


図 2-5 $\Delta \Sigma$ 型 AD 変換器

2.3.3 フラッシュ型 AD 変換器

フラッシュ型 AD 変換器は一気に出力デジタル値を決定することができるため、高速化に最も適している。インターリーブ構成と組み合わせて 5Gbps ほどの変換速度を持つものもある。しかしながら構造上分解能を上げるのが難しいため、12-bit 分解能程度が最大である。入力と同時に変換できるのでサンプルホールド回路が不要であるが、分解能を上げるほど価格と消費電力が増加すること、大きな入力容量から駆動能力の高いドライバが必要なことに注意が必要である。

フラッシュ型 AD 変換器の主な構成要素は、コンパレータ、参照信号発生用の抵抗列、エンコーダである(図 2-6)。変換は 1LSB 刻みの参照電圧と入力を比較することで、どのレベルまでのコンパレータが High を出力するか調べるというものである。入力した瞬間に温度計コードで出力値が判明するため高サンプリングレートではあるが、分解能が 1-bit 高くなるほどに 2 倍のコンパレータが必要となるため消費電力や回路面積が増加してしまう。

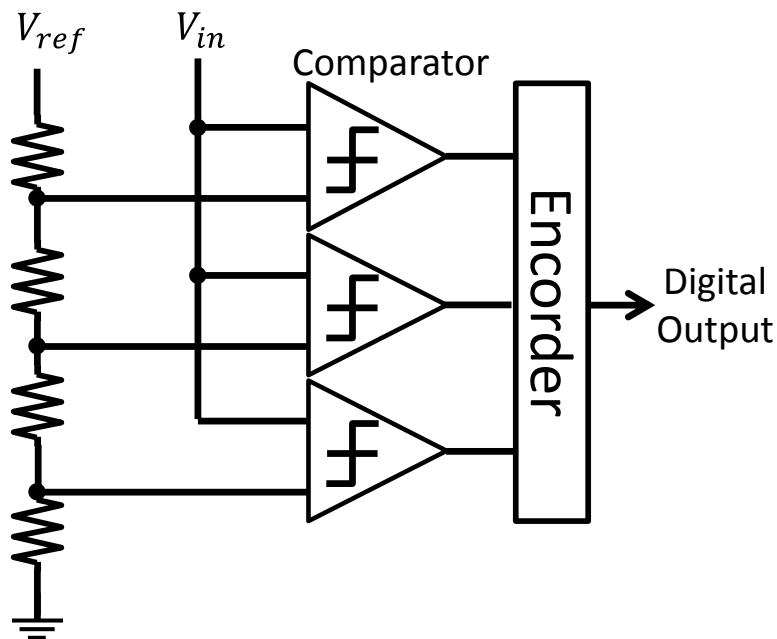


図 2-6 フラッシュ型 AD 変換器

2.3.4 パイプライン型 AD 変換器

パイプライン型 AD 変換器は、高速な AD 変換器で分解能が高い方式である。16-bit 300MSPS のものが存在する。高速で高分解能を実現できる方式だが、変換が複数のステージ移行を必要とするため、AD 変換器が変換開始してから出力するまでの遅れ時間が長い。

パイプライン型 AD 変換器の主な構成要素はサンプルホールド回路、sub-AD 変換器、sub-DA 変換器、アンプ、ロジックである(図 2-7)。各ステージで AD 変換を行い 1bit 決定し、その結果を DA 変換し、各ステージ入力値から引く。そして残差を 2 倍すると 1bit 分 MSB 側にずれるので、その値を同様に AD 変換する。

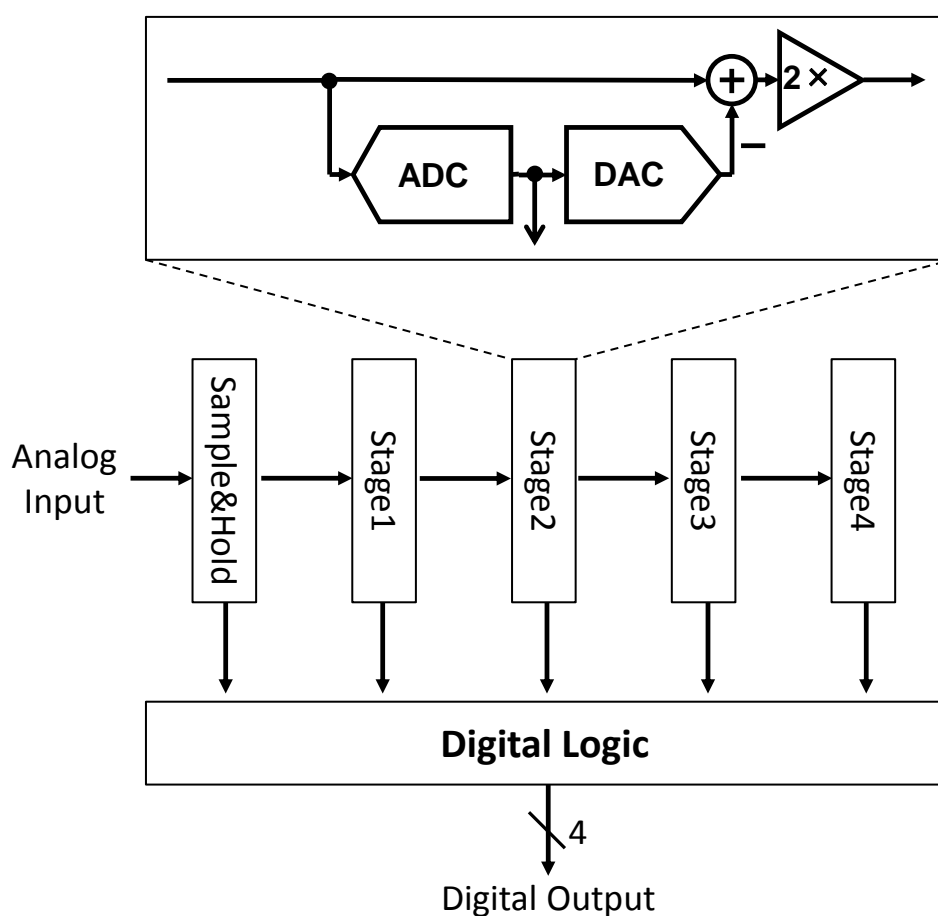


図 2-7 パイプライン型 AD 変換器

2.3.5 各種 AD 変換器の利用と研究動向

図 2-7 左図にここまで示した各方式の変換特性をまとめた。分解能と変換速度はトレードオフの関係にあるため、横軸に変換速度を、縦軸に分解能をとっている。また図 2-8 左図に対応するアプリケーションを図 2-8 右図に示す。図 2-8 から現在使用されている AD 変換器は、変換速度や分解能に対して用途に応じて分類されていることがわかる。

中でも逐次比較近似型 AD 変換器は、消費電力やチップ面積に優れ、サンプリングレートに柔軟性があることから現在注目を集めている。近年では逐次比較近似型 AD 変換器を利用したインターリーブ構成や他の AD 変換器方式との組み合わせの研究発表も大幅に増加している。ダイナミックコンパレータの利用によりクロックとの同期を取らない形式も出現しており、逐次比較近似型 AD 変換器の今後の発展の意義は大きいと言える。

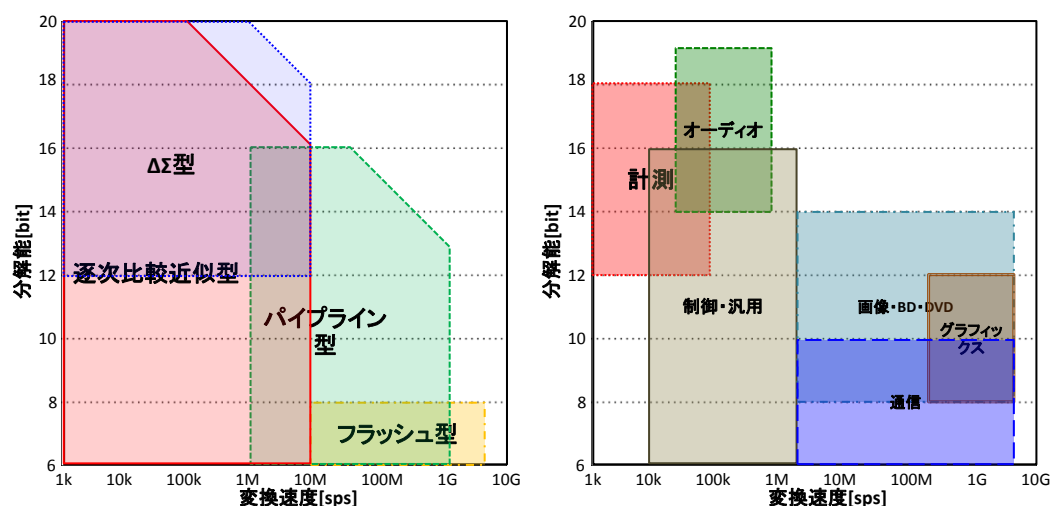


図 2-8 AD 変換器の性能とその利用

第 3 章 逐次比較近似型 AD 変換器と冗長設計

3.1 概要

本論文で高性能化を狙うのは逐次比較近似型 AD 変換器である。本章では逐次比較近似型 AD 変換器とその性能向上のための冗長設計について、利用、構成、動作、原理、構成要素、式を用いた一般化などの基本事項を説明する。

3.2 逐次比較近似型 AD 変換器について

逐次比較近似型 AD 変換器は 8~18-bit の分解能を持つ AD 変換器で、5Msps 以下のアプリケーションとの組み合わせにおいて頻繁に選択される。逐次比較近似型 AD 変換器は高分解能、中速、低消費電力、小チップ面積(高集積)という特徴を持ち、速度・価格・精度のバランスが良い AD 変換器として知られている。低消費電力かつ小チップ面積であるため、自動車制御、工業用制御、携帯電話など産業界で幅広く使用されている。またオペアンプを使用しない回路構成であるため、微細化を続けるナノ CMOS での実現にも適する。以上より、逐次比較近似型 AD 変換器の設計技術発展の社会的価値は非常に大きいと言える。

逐次比較近似型 AD 変換器はサンプリング周波数をいくらでも下げることができるという特徴がある。これは他の ADC では実現できない特徴であり、複数の周波数レンジを持つ FFT アナライザなどの分野で活躍する。また逐次比較近似型 AD 変換器では変換中のみ信号が保持されればよいために、マルチプレクサと組み合わせて複数の入力チャネルを処理できるシステムを一つの逐次比較近似型 AD 変換器で構築できる。18-bit を超える分解能では微分非直線性誤差が悪化してミッシングコードなどの問題を引き起こすという問題があるが、現在はオーバーサンプリング技術を応用して分解能を 24bit まで上げた物も存在する。さらに AD 変換器の変換速度を劇的に上昇させる手法として、複数の AD 変換器をインターリーブ構成(インターリーブ AD 変換器)にする手法が用いられるが、その際にも一般的に逐次比較近似型 AD 変換器が用いられている。SAR ADC は汎用性の高さから適切なシステムを選択すれば消費電力と分解能などにおいて有利な方式である。

3.3 逐次比較近似型 AD 変換器の非冗長設計

本節では冗長設計を行わない場合の逐次比較近似型 AD 変換器の構成や原理、動作や問題点について紹介する。

3.3.1 構成

逐次比較近似型 AD 変換器の基本構成をもう一度、図 3-1 に示す。逐次比較近似型 AD 変換器はサンプルホールド回路、コンパレータ、逐次比較ロジック回路、DA 変換器、クロックから構成される。逐次比較近似型 AD 変換器の動作は天秤で重さを測定する動作に例えられる。入力電圧を質量測定したい物体(被測定物)、DA 変換器の出力電圧を分銅、コンパレータを天秤、逐次比較ロジックを分銅の大きさを変更する人間と考えると、人間が天秤を使って質量をはかる動作に似ているからである。図 3-1 の構成で天秤による質量測定動作を電氣的に行うことができる。

図 3-1 から構成のほとんどがディジタル回路で作られており、消費電力や集積度に優位性を持つことがわかる。さらにオペアンプが存在しないため、MOS の微細化に向いている。またサンプルホールド回路が信号を保持し続けるために、入力信号が短い場合にも変換可能でマルチチャネルに対応できる。

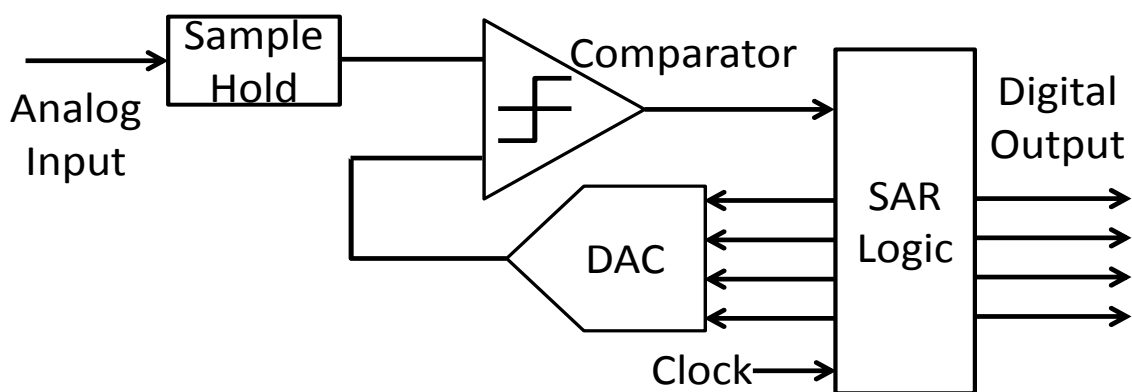


図 3-1 逐次比較近似型 AD 変換器のブロック図

以下に各回路ブロックの基本的な説明を記述する。

逐次比較ロジック

一般的に D フリップフロップと AND 素子で構成される。コンパレータを動作させる信号や比較電圧 V_{ref} の大きさ(DA 変換器入力値)の決定などの制御に用いられる。

DA 変換器

比較電圧 V_{ref} を出力する回路である。一般的には二進重みの容量型 DA 変換器を利用することが多い。容量型 DA 変換器は電荷再配分型 DA 変換器とも呼ばれ、電荷と容量の性質を利用しサンプルホールド回路と DA 変換器の機能を合わせ持つことができる。原理的に最も精度が要求される。

S/H 回路

入力アナログ電圧 V_{in} を取得し保持する回路である。最も基本的な構成は容量に電荷をためるものであるが、容量型 DA 変換器の機能に含まれることが多い。

コンパレータ

入力アナログ電圧 V_{in} と比較電圧 V_{ref} を比較する回路。様々な構成が存在し、アプリケーションによって使い分ける。2006 年におけるダイナミックコンパレータの登場によって、XOR 回路を用いた信号制御を利用できるようになり、DA 変換器出力整定時間の短縮を実現できるようになった。

内部クロック

逐次比較近似型 AD 変換器の比較判定や制御のタイミングを取る。逐次比較近似型 AD 変換器では、一回の変換に対して複数回の比較判定が必要となるため、1 変換を示す外部クロックとは別に内部制御用のクロックが必要となる。

3.3.2 動作

前節でも示したとおり、逐次比較近似型 AD 変換器の動作は天秤で重さを測定する動作に例えられる。入力電圧を質量測定したい物体(被測定物)、DA 変換器の出力電圧を分銅、コンパレータを天秤、逐次比較ロジックを分銅の大きさを変更する人間と考え、人間が天秤を使って質量をはかる動作に似ているからである。

天秤を用いた質量測定の図を図 3-2 に示す。図 3-2 において被測定物 X は $0 \sim 8\text{g}$ の重さであり、分銅は 1g , 2g , 4g を用いることにする。天秤の動作は被測定物 X の質量に従って決定されることになるが、ここでは例として被測定物が 3.3g の場合を説明する。まず被測定物と 4g の分銅(測定できる質量の半分)を天秤で比較する。分銅 4g は被測定物 3.3g よりも質量が大きいので、次の 2g を被測定物と同じ皿に載せる。すると次のステップでは $(4\text{g} - 2\text{g}) = 2\text{g}$ との比較になる。被測定物 3.3g は分銅 2g よりも質量が大きいので、分銅 1g を 4g の分銅と同じ皿に載せる。すると最後のステップは $(4\text{g} - 2\text{g} + 1\text{g}) = 3\text{g}$ との比較となり、被測定物の質量を 3g として測定できる。

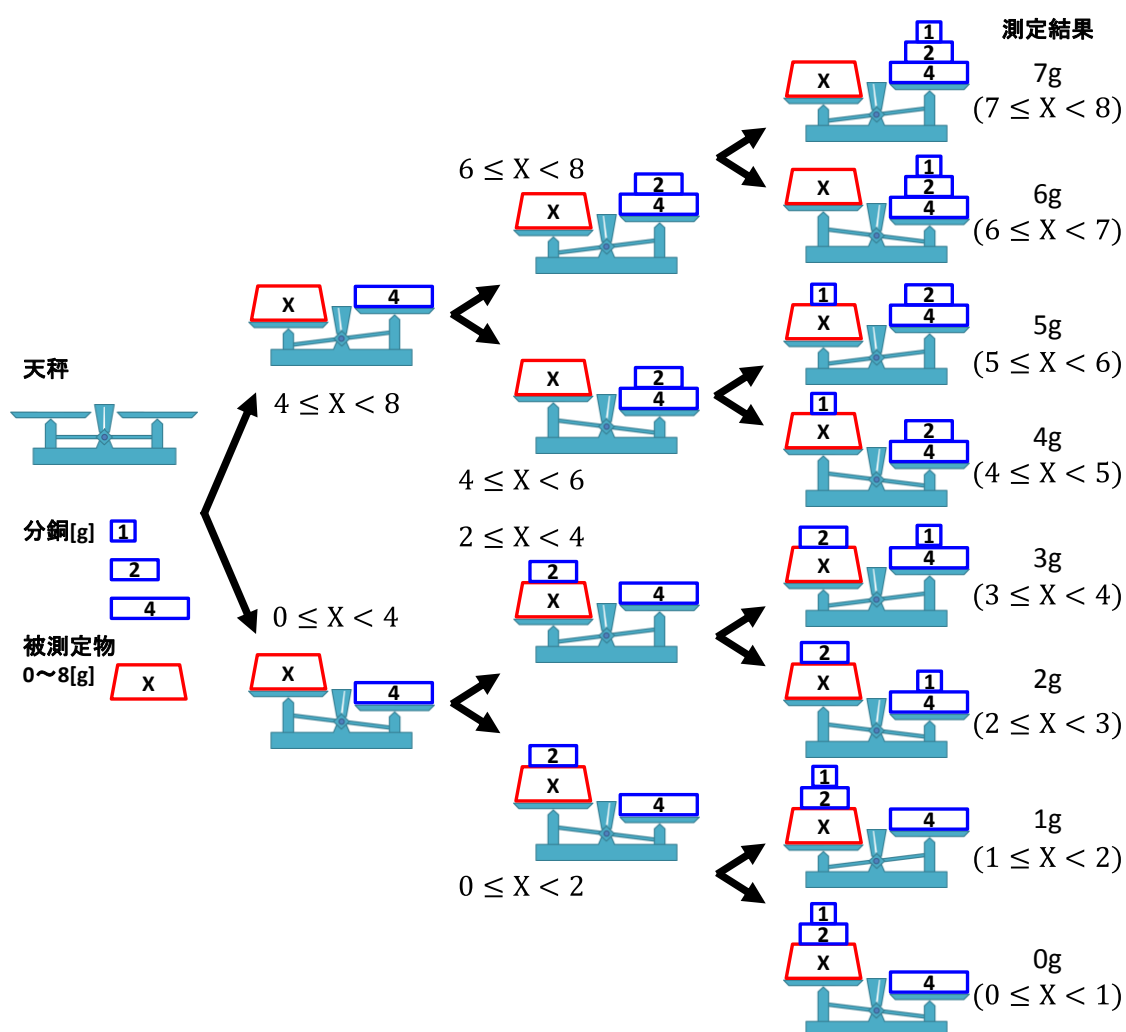


図 3-2 天秤を用いた質量測定の動作

逐次比較近似型 AD 変換器は図 3-2 の天秤による比較動作を電氣的に行う方式である。被測定物 X の質量[g]が入力アナログ電圧 $V_{in}[\text{LSB}]$ に、k-step 目の比較に用いる分銅の重み[g]が比較電圧 V_{ref} の大きさを決める比較電圧重み $p(k)[\text{LSB}]$ にそれぞれ対応する。図 3-2 の例と同様、3-bit AD 変換において入力電圧が 3.3LSB のときの変換動作を以下に示す。

- ① 変換開始の信号を受け、サンプルホールド回路によってアナログ入力電圧 $V_{in}=3.3\text{LSB}$ をサンプルして変換終了まで保持する
- ② DA 変換器入力の MSB のみを 1 として、比較電圧 V_{ref} をハーフスケール電圧 (4LSB) と設定する
- ③ コンパレータによってサンプルされた入力電圧 $V_{in}(=3.3\text{LSB})$ と比較電圧 $V_{ref}(=4\text{LSB})$ を比較すると、 $V_{in} < V_{ref}$ からコンパレータの出力は Low となるのでデジタル出力 1 桁目を 0 と決定する
- ④ 比較電圧 V_{ref} を 2LSB にする必要があるので、逐次比較ロジック回路によって、DA 変換器の入力を 010(2 桁目を 1)に変更する
- ⑤ 逐次比較ロジック回路と DA 変換器によって変更された比較電圧 $V_{ref}(=2\text{LSB})$ と $V_{in}(=3.3\text{LSB})$ をコンパレータで比較すると、 $V_{in} > V_{ref}$ からコンパレータの出力は High となるのでデジタル出力 2 桁目を 1 と決定する
- ⑥ 比較電圧 V_{ref} を 3LSB にする必要があるので、逐次比較ロジック回路によって、DA 変換器の入力を 011(3 桁目を 1)に変更する
- ⑦ 逐次比較ロジック回路と DA 変換器によって変更された比較電圧 $V_{ref}(=3\text{LSB})$ と $V_{in}(=3.3\text{LSB})$ をコンパレータで比較すると、 $V_{in} > V_{ref}$ からコンパレータの出力は High となるのでデジタル出力 3 桁目を 1 と決定する
- ⑧ 変換終了の信号を受け逐次比較ロジック回路から、最終的に得られたデジタルデータ 011 を出力する

以上の手順のように、天秤による比較動作を電氣的に実現することで、アナログ入力をデジタルデータに変換することができる。この変換過程を図 3-3 に示す。

Step		1	2	3	output
Weight p(k)		4	2	1	
LEVEL	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1	0	1	1	1
	0				0

図 3-3 逐次比較近似型 AD 変換器の動作

図 3-3 において、縦軸が電圧値を、横軸が判定ステップ(時間)を表現しており、太線が各ステップで取りうる比較電圧 V_{ref} の大きさである。比較電圧 V_{ref} は比較電圧重み $p(k)$ の加減算によって決定され、比較電圧 V_{ref} よりも入力電圧 V_{in} が大きい場合は 1 を、比較電圧 V_{ref} よりも入力電圧 V_{in} が小さい場合は 0 を出力デジタルコードとして決定していることがわかる。逐次比較を繰り返す変換過程において、入力電圧 V_{in} と比較電圧 V_{ref} が近づき近似されていくため、逐次比較近似型 AD 変換器と呼ばれている。

3.3.3 非冗長の変換動作

図 3-2 と図 3-3 を見ると、一回の判定に対して出力値が取りうる範囲が半分になっていくことがわかる。これは比較電圧重み $p(k)$ として二進重みを利用しているためであり、この解探索動作は二分探索や二進探索などと呼ばれる。二分探索は非冗長な逐次比較近似型 AD 変換器で利用される。二分探索は最も効率の良い解の決定方法で、一回の判定で解の存在範囲を 0.5 倍に縮小するために最速の決定を下すことができる。また出力されるコンパレータの判定結果はそのままバイナリーコードとして使えるので、エンコードやデコードする必要がなく AD 変換器の構成を簡単にすることが可能である。

しかしながら、実際には回路中のノイズ、DA 変換器の有限整定時間、サンプルホールド値の推移(ドループ)などの原因によりコンパレータが判定を誤る可能性がある。図 3-3 と同様の条件で 1-step 目に判定誤りが起こった場合の変換動作を図 3-4 に示す。図 3-4 において、出力は $(100)_2 \Rightarrow (4)_{10}$ となってしまうので入力とは違う値を得ている。一回の判定誤りが結果の誤りにつながるのは二進数と十進数が 1 対 1 に対応しており、出力コード $(011)_2$ と $(100)_2$ が別の値を表現するからである。二分探索を利用すると判定回数や回路構造を最小にできるという利点があるが、高信頼な AD 変換を実現することはできない。

そこで本論文は、逐次比較近似型 AD 変換器へ冗長を与えることで信頼性の向上を考える。

Step	1	2	3	output
Weight $p(k)$	4	2	1	
LEVEL 7				7
6				6
5				5
4				4
3				3
2				2
1	1	0	0	1
0				0

図 3-4 誤判定を起こした AD 変換動作

3.4 逐次比較近似型 AD 変換器の冗長設計

3.4.1 冗長設計の概要と高信頼性化について

現在利用される AD 変換器は、信頼性などの性能向上を目的としてシステムに冗長を与えられることが一般的である。冗長(Redundancy)とは余分や無駄のことである。冗長を与えることでシステムの余剰を生み、全体的な性能向上を狙うというものである。半導体微細化の恩恵からデジタル誤差補正が容易であるため、デジタルキャリブレーションと相性の良い冗長設計に注目が集まっている。様々な冗長の与え方が存在するが、逐次比較近似型 AD 変換器に適用する場合はコンパレータの比較判定回数を増加させるという時間的冗長を利用することになる。逐次比較近似型 AD 変換器へ冗長設計を施すと、デジタル誤差補正を可能にして信頼性と変換速度の向上を実現できる。

逐次比較近似型 AD 変換器に冗長設計を施すには、比較判定回数と比較電圧重み $p(k)$ を変更する必要がある。ここで k -step 目の比較電圧重み $p(k)$ は、天秤の質量測定における k 回目の比較に用いる分銅の質量に対応する値である。すなわち図 3-5 のように前回の 1-step 前の比較電圧 V_{ref} からの電位差の絶対値を表現することになる。ここで図 3-6 に 1-step 増加させた冗長設計による高信頼性化の例として、3-bit 4-step 逐次比較近似型 AD 変換器の変換例を示す。図 3-6 では入力電圧を 3.3LSB とし、比較電圧重み $p(k)$ は小さいほうから順に 1, 2, 3, 4 とした変換例を二つ示している。図 3-6 における二例の違いは 1-step 目の判定の正誤であるが、誤判定を起こした場合においても後段のステップで補正されて二例とも正しい変換結果 3 を得られていることがわかる。すなわち図 3-6 で使用される比較電圧重み $p(k)$ では出力デジタルコード 0110 と 1000 が両方 3 を意味することになる。比較回数が 1 回増えると出力デジタルコードが 1-bit 増えて、表現可能な値の種類は 2 倍になり、一つの出力値を複数のデジタルコードで表現できるために誤りを補正することができるのである。出力されるデジタルコードは二進数と対応しなくなるので、補正された出力デジタルコードをルックアップテーブルなどでエンコードすることで正しい変換結果を得る。これがデジタル誤差補正の考え方であり、AD 変換器の信頼性向上に貢献することができる。

Step	1	2	3	output
Weight $p(k)$	4	2	1	
LEVEL	7			7
	6		$+p(3)$	6
	5			5
	4	$+p(2)$		4
	3	$-p(2)$		3
	2			2
	1	$+p(1)$	$-p(3)$	1
	0			0

図 3-5 比較電圧重み $p(k)$

Step	1	2	3	4	output
Weight $p(k)$	4	3	2	1	
LEVEL	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

図 3-6 3-bit 4-step 冗長探索アルゴリズム

3.4.2 冗長設計の一般化

逐次比較近似型 AD 変換器の冗長設計について、式を用いた一般化を行う[7]。N-bit 分解能の AD 変換器を M-step の比較で実現すると、k-step 目の比較電圧 $V_{\text{ref}}(k)$ と出力値の十進表現 D_{out} はそれぞれ式(3-1)、式(3-2)になる。ただし MSB より k 個目の比較電圧重みを $p(k)$ とし、k-step 目で (k-1)-step 目の比較電圧 $V_{\text{ref}}(k-1)$ に足し引きする値とする。 $d(k)$ は k-step 目のコンパレータのデジタル出力により決定される値で、デジタル出力が High ならば $d(k)=1$ 、デジタル出力が Low ならば $d(k)=-1$ である。また $d(0)=1$ である。

$$V_{\text{ref}}(k) = \sum_{i=1}^k d(i-1)p(i) \quad (3-1)$$

$$D_{\text{out}} = 0.5d(M) - 0.5 + \sum_{i=1}^M d(i-1)p(i) \quad (3-2)$$

また総ステップ数 M は重みの組み合わせで全てのデジタル出力値を表現できる項数とする。すなわち式(3-3)を満たすよう総ステップ数 M を決定する。

$$2^{N-1} - 1 \leq \sum_{i=0}^{M-2} p(M-i) \quad (3-3)$$

逐次比較近似 AD 変換器の冗長設計を式(3-1)、式(3-2)、式(3-3)のように一般化すると、k-step 目で誤判定を起こしたとしても補正可能な入力範囲差 $q(k)$ を式(3-4)のように定義することができる。

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i) \quad (3-4)$$

また図 3-6 の例での誤差補正可能な入力範囲差 $q(k)$ と誤差補正可能範囲を図示したものを図 3-7 に示す。図 3-7 の左図は誤差補正可能範囲差 $q(k)$ の一例を示したものである。例は 1-step 目の $q(1)$ は 1-step 目で誤判定を起こしたとき、薄塗りされている範囲の入力値であれば出力値を正しい値へ補正できることを示している。図 3-7 左図から 1-step 目の判定に対して上下に 1LSB 分だけ補正できることがわかるため、図 3-7 右図中の両矢印のように誤差補正が可能な入力範囲を示すことができる。入力が両矢印の示す範囲に含まれると、そのステップの誤判定は補正できる。すなわち式(3-5)を満たすと k-step 目で判定誤りを生じたとしても、後の判定を誤らなければ正しい値へと修正することが可能である。

$$q(k) \geq |V_{\text{ref}}(k) - V_{\text{in}}| \quad (3-5)$$

これはその入力レベルに複数のデジタルコード表現方法が存在することを意味し、各ステップの $q(k)$ の大きさが逐次比較近似 AD 変換器の補正能力の高さを示すことになる。式(3-4)から $q(k)$ は k-step 目の比較電圧重み $p(k)$ によってのみ決定されるため、各ステップの比較電圧重み $p(k)$ が冗長設計における最も重要なパラメータであることがわかる。

Step		1	2	3	4	output	Step		1	2	3	4	output
Weight $p(k)$		4	3	2	1		Weight $p(k)$		4	3	2	1	
LEVEL	7					7	LEVEL	7					7
	6					6		6					6
	5	$q(1)$				5		5	$q(1)$				5
	4					4		4					4
	3					3		3					3
	2					2		2					2
	1					1		1					1
	0					0		0					0

図 3-7 誤差補正可能入力範囲差 $q(k)$ と誤差補正可能入力範囲

3.4.3 冗長設計による高速化

ここでは冗長設計により AD 変換器内部の DA 変換器の出力整定時間を短縮できることを説明し、AD 変換器の高速化について一般化する。

図 3-1 のように DA 変換器は入力電圧と比較するための比較電圧を出力するという役割がある。一つ前のステップのコンパレータ比較判定結果によって比較電圧の値はステップ毎に変化することになるため、DA 変換器の出力電圧が変化するための時間を取る必要がある。逐次比較近似 AD 変換器の変換時間は、この DA 変換器の出力電圧を整定させるための時間に大きく依存しており、整定時間短縮が変換時間短縮に直結する。

図 3-8 に内部 DA 変換器の整定を示す。冗長を持たない二進探索アルゴリズムで正確な変換を実現するためには、DA 変換器の出力と次の比較電圧との電位差が 0.5LSB 以内になるまでの時間を取らなくてはならない。一方で補正可能な入力範囲差 $q(k)$ を持つ冗長探索アルゴリズムを使った場合、DA 変換器は整定時間を減らすことができる。これはデジタル誤差補正により前段の誤った判定を正しい出力値へ補正できることを利用している。図 3-8 に示されるように、DA 変換器の出力と次の比較電圧との電位差が補正可能入力範囲差 $q(k)$ 以内になるまでの時間だけ取ればよい。一回の判定にかかる整定時間を減らすことができれば、図 3-9 のように比較判定回数が増えたとしても全体の変換時間の削減が可能である。

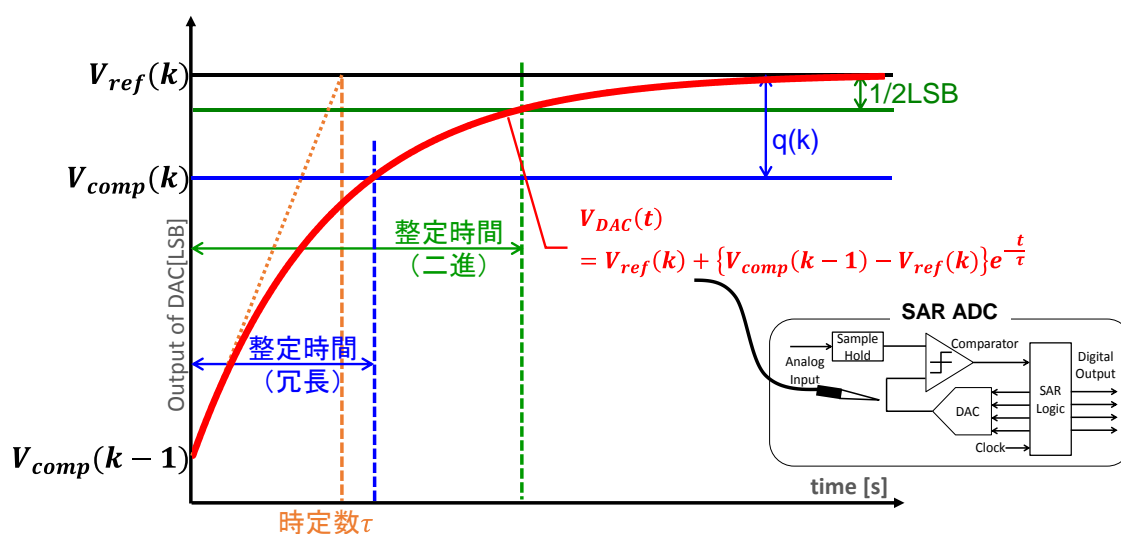


図 3-8 内部 DA 変換器の整定波形と冗長設計による不完全整定

5bit SAR ADC

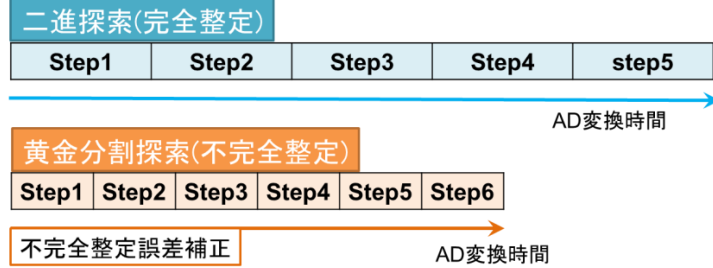


図 3-9 DA 変換器の不完全整定による変換速度の向上

ここで逐次比較近似 AD 変換器の内部 DA 変換器不完全整定を、抵抗とキャパシタを含む一次遅れ系として式を用いた一般化を行う。図 3-8 から DA 変換器の出力電圧は式(3-6)のようになる。

$$V_{DAC}(t) = V_{ref}(k) + \{V_{comp}(k-1) - V_{ref}(k)\}e^{-\frac{t}{\tau}} \quad (3-6)$$

ここで式中の τ は DA 変換器出力における時定数である。

冗長設計における補正可能な条件は入力電圧と比較電圧の差が補正可能入力範囲差 $q(k)$ より小さいことであるため、図 3-10 中の $V_{comp}(k)$ を実際には比較電圧として利用できる。したがって $(k-1)$ -step 目の実際の比較電圧 $V_{comp}(k-1)$ から k -step 目の比較電圧 $V_{comp}(k)$ へ変化させるために必要な時間 $T_{settle}(k)$ は、式(3-7)で表現される。

$$T_{settle}(k) = \tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right) \quad (3-7)$$

式(3-7)において、 $q(k)$ が 1LSB より小さい場合は 0.5LSB と置き換えて考えることができる。また 1-step 目($k=1$)のときは式(3-7)中の $q(k-1)$ の値を 0 とみなして計算を行う。式(3-7)から $T_{settle}(k)$ の値は比較電圧重み $p(k)$ のみによって決定されるため、変換速度にも比較電圧重み $p(k)$ の決定が重要なことがわかる。

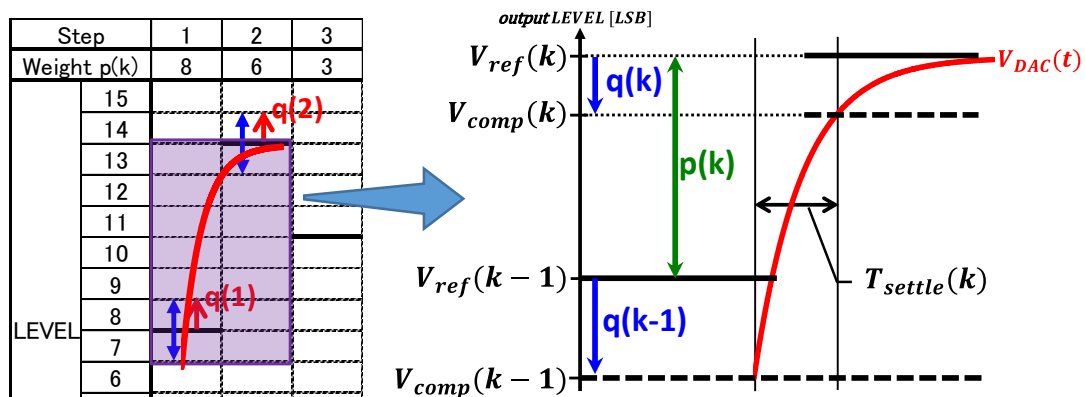


図 3-10 整定時間 T_{settle} の定義

3.3.4 冗長を持つ逐次比較近似型 AD 変換器の設計

冗長設計により逐次比較近似型 AD 変換器の高信頼性化と高速化を実現できることを説明してきたが、ここでは実際の回路図について説明する。時間冗長を用いた逐次比較近似型 AD 変換器に一般的に用いられる回路を図 3-11 に示す[7]。

基本的な構成であるサンプルホールド回路、コンパレータ、DA 変換器は変更がないが、逐次比較ロジックが変更される。この回路は出力ディジタルコードを二進数コードへ変更し計算する方式を適応したものである。メモリーに比較電圧重み $p(k)$ の二進数コード表現を記憶させ、コンパレータの出力結果によって前回の値から比較電圧重み $p(k)$ を加算するか減算するかを決定し、次に利用する比較電圧 V_{ref} を出力する。メモリーの値を変更すれば比較電圧重み $p(k)$ の変更も可能である。

図 3-11 から追加の回路はすべてデジタル回路であり、小規模な回路面積の増加で冗長設計を実現できることがわかる。

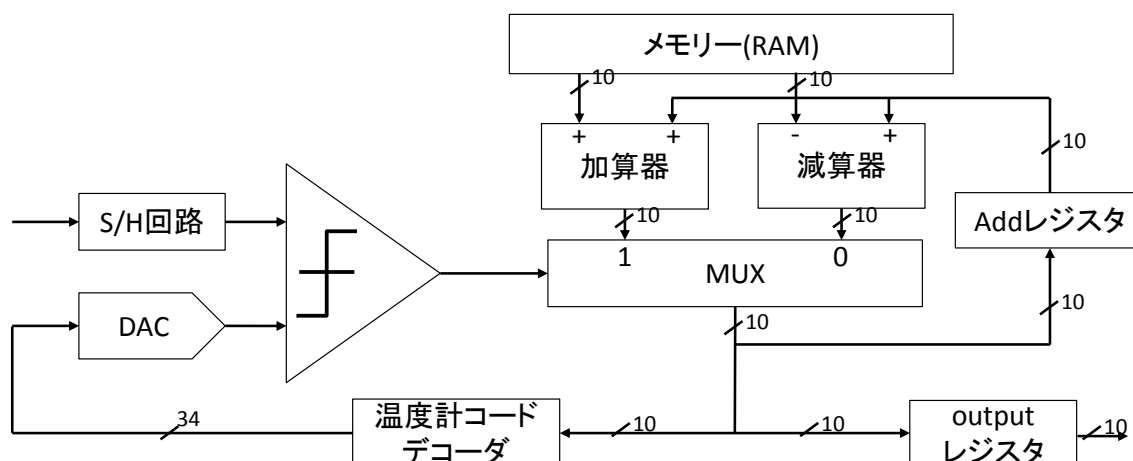


図 3-11 冗長を持つ逐次比較近似型 AD 変換器の回路

3.3.5 比較電圧重み $p(k)$ の従来選択手法とその問題点

逐次比較近似型 AD 変換器の冗長設計には、小規模な付加回路のみによって高信頼性化と高速化を実現する能力があることを示した。またそれらの能力の高さ(すなわち補正可能な入力範囲差 $q(k)$ と整定時間 $T_{\text{settle}}(k)$)は、天秤の分銅にあたる比較電圧重み $p(k)$ のみに依存して決定されることを示した。すなわち、冗長設計は適切な比較電圧重み $p(k)$ を選択できて初めてその能力を発揮することができ、冗長設計における比較電圧重み $p(k)$ は最も重要なパラメータであると言っても過言ではない。

比較電圧重み $p(k)$ を決定するときに注意すべきことは、判定ステップ数(変換速度)と補正力にトレードオフの関係が成り立っていることである。また全てのデジタル値を表現するために、2step 目以降($k \geq 2$)において比較電圧重み $p(k)$ の隣り合う重みの比率($p(k)/p(k+1)$)は式(3-8)を満たす必要がある。

$$1 \leq \frac{p(k)}{p(k+1)} \leq 2 \quad (3-8)$$

さらに総ステップ数 M は式(3-3)を利用して決定する。

本項では比較電圧重み $p(k)$ の従来決定手法とその問題点を示す。従来の比較電圧重み決定手法は主に、基数(Radix)手法、総当り手法、補正力手法の3種類がある。

(1) 基数(Radix)手法[1]

基数(Radix)手法は、最も単純で一般的に用いられる手法である。 k -step 目の比較電圧重み $p(k)$ を適切な範囲内の基数(radix)によって式(3-9)のように決定する。式(3-9)における r は基数(Radix)であり所望する効果に応じた値で定め、 N は AD 変換器分解能、 M は総ステップ数である。

$$p(k) = \lfloor r^{M-k} + 0.5 \rfloor \quad (3-9)$$

ここで $p(1) = 2^{N-1}$ 、 $1 \leq r < 2$ である。総ステップ数 M は式(3-3)を用いて決定する。 $p(1) = 2^{N-1}$ を利用するのは、式(3-4)から最初の比較電圧重み $p(k)$ が補正力に関係なく、解存在範囲の二分割が最も効率が良いためである。この手法を利用すれば、設計者は基数 r を決定するだけで比較電圧重み $p(k)$ を選択することができる。

しかしながらこの方法には二つの問題点がある。

一つ目は、式(3-9)で導かれる比較電圧重み $p(k)$ が整数にならないことである。AD 変換器に使用する比較電圧重みは変換精度や設計容易化のために整数である必要があるため、比較電圧重み $p(k)$ の決定には整数値への丸め操作を行う必要がある。このような端数処理は隣り合う重みの比率の変化を生じ各ステップにおける補正力にばらつきが生じ、性能向上を妨げるのである。

二つ目は、基数決定の難しさである。図 3-12 で示した例は基数 r が 1.80 として各値に四捨五入を使用した場合であるが、図 3-12 を見てみると補正可能な範囲を示す両矢印がすべての入力範囲を埋め尽くしていないということがわかる。このよう

な基数の決定をすると AD 変換器の入力値によっては、原理的に補正が不可能になる。図 3-12 の例で言うと AD 変換器の入力値が 1~3, 7~9, 13~15 [LSB]の範囲外の場合は補正することが不可能であり、不適切な基数の決定が補正力の弱化につながる事がわかる。この問題に対して $q(k)$ の増加を狙い冗長度を大きくして基数 r を小さく設定すると、総ステップ数 M が増加して変換速度が低下する。設計者は最も適する基数 r の探索を強いられ、設計時間増加や性能低下につながる。

(2)総当り手法[12,13]

総当り手法は、回路定数や AD 変換器性能などの条件から最も効果のある比較電圧重み $p(k)$ をシミュレーションやプログラムを用いて、総当りの的に決定するものである。また総当りではなくランダムに比較電圧重み $p(k)$ を導出させるランダム手法もある。最も性能を出しやすい現実的な手法ではあるが、プログラムを作成する手間やシミュレーション時間が必要なことに加え、仕様や条件の変化に弱いという問題点がある。さらに分解能が増加すると、比較電圧 $p(k)$ の組み合わせが急激に増大し、時間の増大を引き起こすとともに適切な効果を得づらくなる。

(3)補正力手法[5-11]

補正力手法は、補正力の大きさを考慮して設計者が適切な大きさの比較電圧重み $p(k)$ を作成するものである。しかしながら熟練の技術者でも必要な冗長量や補正力を考え最適な重み付けを短時間で行うことは難しい。

以上から比較電圧重み $p(k)$ を従来手法で決定すると性能低下や設計難度上昇を引き起こすため、適切な比較電圧重み $p(k)$ の決定手法が必要であることがわかる。本論文では、整数論を用いることで比較電圧重み $p(k)$ を決定する手法を提案する。

Step	1	2	3	4	5	output
Weight $p(k)$	8	6	3	2	1	
LEVEL	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1					1
	0					0

図 3-12 Radix 1.8 における 4-bit 5-step AD 変換器の誤差補正可能範囲

第4章 整数論

4.1 概要

冗長設計には優れた AD 変換器設計の可能性があるが、重要なパラメータである比較電圧重み $p(k)$ を決定する有効な手法が存在しないため、十分な効果を発揮することが難しいことを示した。本論文では整数を用いて比較電圧重み $p(k)$ を定める方法を探すために、整数論を利用することを提案する。特に今回は整数論の中でも有名な“フィボナッチ数列”と“黄金比”及び“白銀比”を用いた設計方法を提案する。本章では逐次比較近似型 AD 変換器と組み合わせる整数論について紹介する。

4.2 フィボナッチ数列と黄金比

フィボナッチ数列とは式(4-1)の漸化式で定義される数列である（1202年にレオナルド・フィボナッチが発行した『算盤の書』（Liber Abaci）に記載された数列）[19-27]。

$$F_{n+2} = F_n + F_{n+1} \quad (4-1)$$

$$F_0 = 0, F_1 = 1$$

初めの項を計算すると(フィボナッチ数と呼ばれる)

$$0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233, 377, 610, 987, 1596, \dots$$

となる。すなわち隣り合う二項の和が次の項になる数列である。

また任意のフィボナッチ数はビネーの公式(式 4-2)で求めることもできる。

$$F_n = \frac{1}{\sqrt{5}} \left\{ \left(\frac{1+\sqrt{5}}{2} \right)^n - \left(\frac{1-\sqrt{5}}{2} \right)^n \right\} \quad (4-2)$$

また隣り合う項の比率は以下に収束する。

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \varphi \quad (4-3)$$

この比率 φ は黄金比(golden ratio)と呼ばれ、最も安定した美しい比率として知られている。

他にも式(4-4)を満たす a と b の比率(中末比、外中比)としても知られている。

$$a : b = b : (a + b) \quad (4-4)$$

ここで $a=1$ とすると式(4-5)の b の解を黄金比だと考えることもできる。

$$b^2 - b - 1 = 0 \quad (4-5)$$

以上の様にフィボナッチ数列と黄金比は簡単に導くことができるが、多くの性質を持つ不思議な数である。

レオナルド・ダ・ピサ(1170 年頃-1250 年頃)はピサのレオナルドもしくはフィボナッチと呼ばれる、中世で最も才能があったと評価されるイタリアの数学者である。その数学者が示したフィボナッチ数列は非常に有名な数列であり、整数論の代表とも言える。以下に示すように身近な場面に数多く登場するとされる。

- ◆花びらの数はフィボナッチ数である (例)コスモス(8 枚)
- ◆植物の花や実に見れる螺旋の数もフィボナッチ数である (例)ヒマワリ、パイナップル
- ◆葉序(植物の葉の付き方)はフィボナッチ数に関連している
- ◆蜜蜂の家系を辿っていくとフィボナッチ数列が見れる
- ◆金融における解析手法の一つとして利用される

フィボナッチ数列の隣り合う項の比率は“黄金比”と呼ばれ神の比などとも呼称される。古代より人間が最も美しいと思える安定した比率であると言われ、建造物や美術品、各企業のロゴなど身近に潜む。

- ◆パルテノン神殿・ピラミッドなどの建造物に黄金比を見いだせる
- ◆美術作品や音楽に幅広く取り入れられている
- ◆はがきや名刺などの比率は黄金比である

以上から特に効率の良さや安定性が求められる植物、美術、建築において広く用いられていることがわかる。

4.2.1 基本性質

以下に代表的なフィボナッチ数列の性質を挙げる。ここにあげる性質はすべてのフィボナッチ数で必ず成り立ち、応用の可能性も十分にある。ここで n は $n \geq 1$ となる任意の自然数である[19-27]。

①連続する 10 個のフィボナッチ数の和は 11 で割り切れる。(A|B: B は A で割り切れる)

$$11 \mid (F_n + F_{n+1} + F_{n+2} + F_{n+3} + F_{n+4} + F_{n+5} + F_{n+6} + F_{n+7} + F_{n+8} + F_{n+9})$$

②連続するフィボナッチ数は互いに素である。つまり、両者の最大公約数は 1 である。

③合成数番目のフィボナッチ数(4 番を除く)も合成数である (合成数=素数でない数)。これを別の言い方で表すと n が素数でない場合、 F_n は素数ではない。

④フィボナッチ数の最初の n 個の和は 2 つ後の項から 1 引いたものに等しい。

$$\sum_{i=1}^n F_i = F_1 + F_2 + F_3 + \cdots + F_n = F_{n+2} - 1$$

⑤連続する偶数番のフィボナッチ数の和は、和の最後の偶数番のフィボナッチ数の次のフィボナッチ数より 1 小さい。

$$\sum_{i=1}^n F_{2i} = F_2 + F_4 + F_6 + \cdots + F_{2n-2} + F_{2n} = F_{2n+1} - 1$$

⑥連続する奇数番のフィボナッチ数の和は、和の最後の奇数番のフィボナッチ数の次のフィボナッチ数に等しい。

$$\sum_{i=1}^n F_{2i-1} = F_1 + F_3 + F_5 + \cdots + F_{2n-1} = F_{2n}$$

⑦フィボナッチ数の平方の和は、最後の数とその次のフィボナッチ数との積に等しい (黄金らせんを描く)。

$$\sum_{i=1}^n F_i^2 = F_n F_{n+1}$$

⑧2 つの交互的フィボナッチ数の平方の差は、両者の番号の和を番号とするフィボナッチ数に等しい。

$$F_n^2 - F_{n-2}^2 = F_{2n-2}$$

⑨2つの連続するフィボナッチ数の平方の和は、その番号の和を番号とするフィボナッチ数に等しい。

$$F_n^2 + F_{n+1}^2 = F_{2n+1}$$

⑩4つの連続するフィボナッチ数については、中2項の平方の差が両端の2項の積に等しい。

$$F_{n+1}^2 - F_n^2 = F_{n-1}F_{n+2}$$

⑪交互的フィボナッチ数の2つの積は、両者の間にあるフィボナッチ数の平方より1多いか少ないか、いずれかである。

$$F_{n-1}F_{n+1} = F_n^2 + (-1)^n$$

⑫選んだフィボナッチ数の平方とそのフィボナッチ数から等距離にあるフィボナッチ数の積の差は、別のフィボナッチ数の平方である。(ただし $k \geq 1$)

$$F_{n-k}F_{n+k} - F_n^2 = \pm F_k^2$$

⑬mn番目のフィボナッチ数 F_{mn} は、m番目のフィボナッチ数 F_m で割り切れる。

⑭連続するフィボナッチ数の積の和は、フィボナッチ数の平方に等しいか、フィボナッチ数の平方より1小さい。

・ n が奇数のとき

$$\sum_{i=2}^{n+1} F_i F_{i-1} = F_{n+1}^2$$

・ n が偶数のとき

$$\sum_{i=2}^{n+1} F_i F_{i-1} = F_{n+1}^2 - 1$$

⑮黄金比と黄金比の逆数の差は丁度1である。

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \varphi$$

$$\lim_{n \rightarrow \infty} \frac{F_{n-1}}{F_n} = 0.618033988749895 = \frac{1}{\varphi}$$

すなわち以下の方程式が成り立つ、唯一の正の値が黄金比である。

$$1/\varphi = \varphi - 1$$

$$\left(\varphi = \frac{1 + \sqrt{5}}{2} = 1.618033988749895 \right)$$

⑩黄金比 φ のべき乗は以下の方程式に従い、 a と b は必ずフィボナッチ数である。

$$\varphi^n = a\varphi + b$$

$$a = F_n, b = F_{n-1}$$

⑪黄金比の連分数表示は 1 の加算のみで構成される。

$$\varphi = 1 + \frac{1}{\varphi} = 1 + \frac{1}{1 + \frac{1}{\varphi}} = 1 + \frac{1}{1 + \frac{1}{1 + \frac{1}{1 + \frac{1}{1 + \frac{1}{\ddots}}}}} = [1; 1, 1, 1, 1, \dots] = [\bar{1}]$$

⑫黄金比の多重根号表示は 1 の加算のみで構成される。

$$\varphi = \sqrt{1 + \sqrt{1 + \sqrt{1 + \sqrt{1 + \sqrt{1 + \sqrt{\dots}}}}}}}$$

ここで紹介した性質はフィボナッチ数列や黄金比のよく知られている不思議な性質の一部である。フィボナッチ数列や黄金比にはここでは紹介しきれないほどの不思議な性質が存在し、今後も様々な性質が発見され応用できる可能性が高い。

ここで、AD 変換器での応用を考えて基本性質④の証明を行う。

④フィボナッチ数の最初の n 個の和は 2 つ後の項から 1 引いたものに等しい。

$$\sum_{i=1}^n F_i = F_1 + F_2 + F_3 + \cdots + F_n = F_{n+2} - 1$$

(証明)

フィボナッチ数列は式(4-1)で表現される($n \geq 1$)。

$$F_{n+2} = F_n + F_{n+1} \quad (4-1)$$

したがってこの式を変形すると以下ようになる。

$$F_n = F_{n+2} - F_{n+1}$$

n の数を増加させてそこまでのフィボナッチ数列を式に表現すると、

$$F_1 = F_3 - F_2$$

$$F_2 = F_4 - F_3$$

$$F_3 = F_5 - F_4$$

\vdots

$$F_{n-1} = F_{n+1} - F_n$$

$$F_n = F_{n+2} - F_{n+1}$$

となる。最初から n 個までのフィボナッチ数を足せばよいので上の式をすべて足すと、フィボナッチ数同士で打消しあいその式は式(4-6)のようになる。

$$\sum_{i=1}^n F_i = F_1 + F_2 + F_3 + \cdots + F_n = F_{n+2} - F_2 = F_{n+2} - 1 \quad (4-6)$$

すなわちフィボナッチ数の最初の n 個の和は 2 つ後の項から 1 引いたものに等しい。 ■

4.2.2 フィボナッチ探索法

フィボナッチ探索法とは 20 世紀後半に Jack Kiefer(米)によって提案された単峰関数(単頂点関数：最小値か最大値を一つだけ持つ関数)の極値を求めるためのアルゴリズムである。単峰関数の存在区間の二点の関数値を比較し極値の存在する範囲を逐次的に縮小していくことで、微分を利用することなく極値を求めることが可能である。この方法は n 回だけ関数値を計算して大小比較することが許されているときに最も効率の良い(すなわち縮小する量が最大である)方法だと証明されている[21]。また同じ考え方を用いたものに黄金探索法が存在する。

フィボナッチ探索法の動作を説明する。極大を持つ関数における実際の動作を図 4-1 に示す。初めに最初の区間の大きさ W と関数値比較の回数 $m(m \geq 2)$ を決定する。それらが決定したら 2 点の関数値を比較し、極値が存在する区間の縮小を行っていく。2 点の比較する関数値をどこの点にするかが問題となるが、区間 W を F_{m+2} で分割し、分割した区間の端から F_m 、 F_{m+1} 個目の関数値を計算し、両者の値を比較する。すなわち図 4-1 において関数値を比較する点(分割点)の左端からの距離は以下の値となる。

$$\text{左分割点} \frac{WF_m}{F_{m+2}}, \text{右分割点} \frac{WF_{m+1}}{F_{m+2}}$$

式(4-1)のフィボナッチ数の関係式から全区間一定の割合で分割されることがわかる。極大を持つ関数の 2 点の関数値を比較して、左側分割点が大きければ極大は左端から F_{m+1} までの間に存在し、右側分割点が大きければ極大は F_m から右端までの間に存在すると分かる。極大の存在区間を縮小することができたので、次は縮小された区間を最初の区間 W とみなしてまた分割点を決定する。ここで式(4-1)からどちらの分割点が大きくても 2 回目の区間 W は F_{m+1} となっていることは明らかであり、区間を F_{m+1} で分割し分割点を取るフィボナッチ数を F_{m-1} 、 F_m というように小さくすればよい。すなわち k 回目分割点の左端からの距離は以下の値となる。

$$\text{左分割点} \frac{WF_{m-k-1}}{F_{m-k+1}}, \text{右分割点} \frac{WF_{m-k}}{F_{m-k+1}}$$

このような分割を繰り返すことで極値の存在範囲を縮小することが可能である。

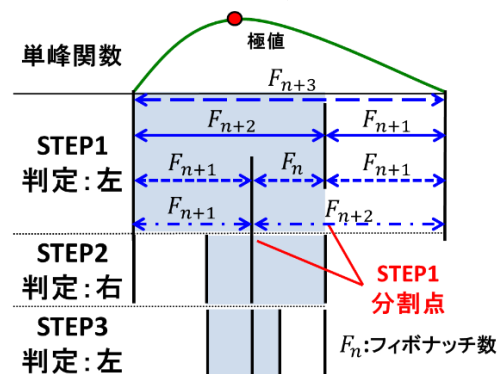


図 4-1 フィボナッチ探索法の解探索

フィボナッチ探索法は最終ステップが必ず $W=2(F_1 = 1)$ とした場合)の大きさを $1/2$ の点で判定することになり最大誤差は 1 以下となる。また縮小区間は一回の判定で区間 W を $F_{n+1}:F_n$ と縮小するのでフィボナッチ性質の⑮より約 0.61803 倍に縮小することになる。式(4-1)から 1 つの分割点は次のステップの分割点と必ず一致するため計算回数が最小で誤差を 1 以下にする最も効率の良い方法となる。

さらにフィボナッチ探索法をその性質を用いて発展させ、黄金分割法が同時に考案された。フィボナッチ数には隣り合う項の比率が黄金比となる(式(4-3))という性質がある。この性質を使って分割点を黄金比から決定する方法が黄金分割法である。図 4-2 に相互変換図を示す。区間 W を黄金比で割って疑似的なフィボナッチ探索法を行うというものがある。左端からの分割点は以下ようになる。

$$\text{左分割点} \frac{W}{\phi^2}, \text{右分割点} \frac{W}{\phi}$$

黄金分割法は区間 W さえ定めれば一定の規則で分割でき、無限に分割をすることが出来るが、誤差が大きくなり比較回数をフィボナッチ探索法と比べ増やさざるを得ないという欠点がある。

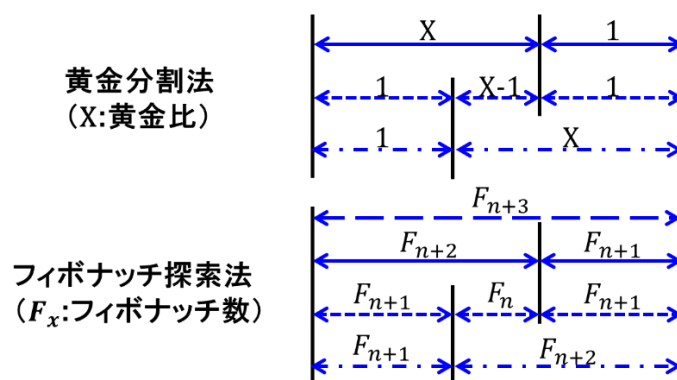


図 4-2 黄金分割法とフィボナッチ探索法の関係

4.2.3 R-R 抵抗列

フィボナッチ数列や黄金比は意外なことに電気回路にも登場する。

図 4-3 は R・2R 抵抗ラダー回路と呼ばれる回路である。図 4-3 のように $R[\Omega]$ と $2R[\Omega]$ という 2 種類の抵抗を用意してはしご型に並べる。すると上の各ノードから右を見るとちょうど $2R[\Omega]$ に見えるので、各ノードで $2R//2R$ と並列に見え電流を二分割することができる。各ノードで電流が二分割されるので、 $2R[\Omega]$ へ流れる電流値は二進重みを持つ電流値となり二進重み DA 変換器などに利用される。

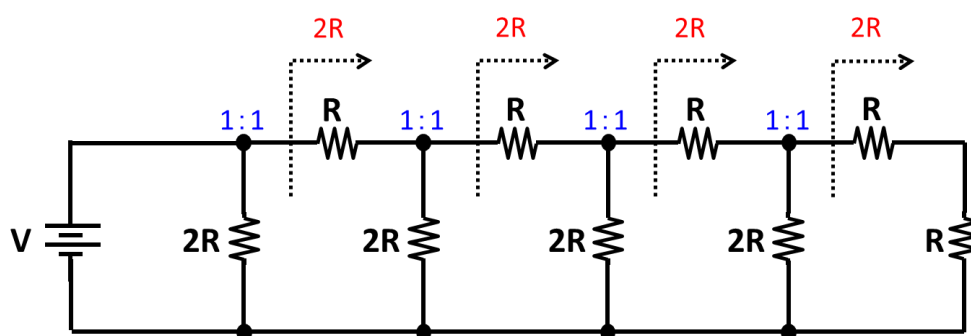


図 4-3 R・2R 抵抗ラダー回路

この R・2R 抵抗ラダー回路の $2R[\Omega]$ を $R[\Omega]$ へ変更した回路を図 4-4 に示す。図 4-4 で上の各ノードから右を見ると、フィボナッチ数列の比率で抵抗値が決定されていることがわかる。このことから各ノードで電流がフィボナッチ数列の比率(黄金比)に分割されることがわかる。この回路を R-R 抵抗ラダー回路と呼ぶ。

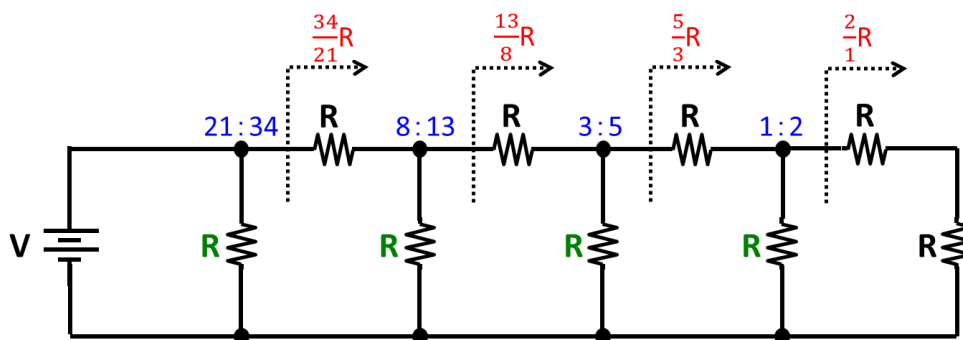


図 4-4 R-R 抵抗ラダー回路

R-R 抵抗ラダー回路の原理を図 4-5 に示す。各ノードで電流が分割される動作が、フィボナッチ数列が作られていく動作と対応するため実現されることが考えられる。

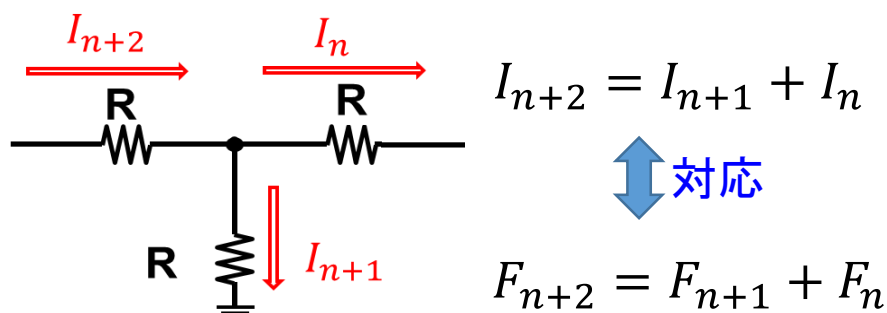


図 4-5 R-R 抵抗ラダー回路の原理

図 4-6 のように、抵抗の付け方を変更すれば電流・電圧両方の黄金比分割を実現することにも利用できる。また集積回路では絶対精度に比べ比精度が高いため、精度の高い黄金比を回路中に実現できると考えられる。

5 章において R-R 抵抗ラダー回路を用いた DA 変換器を提案する。

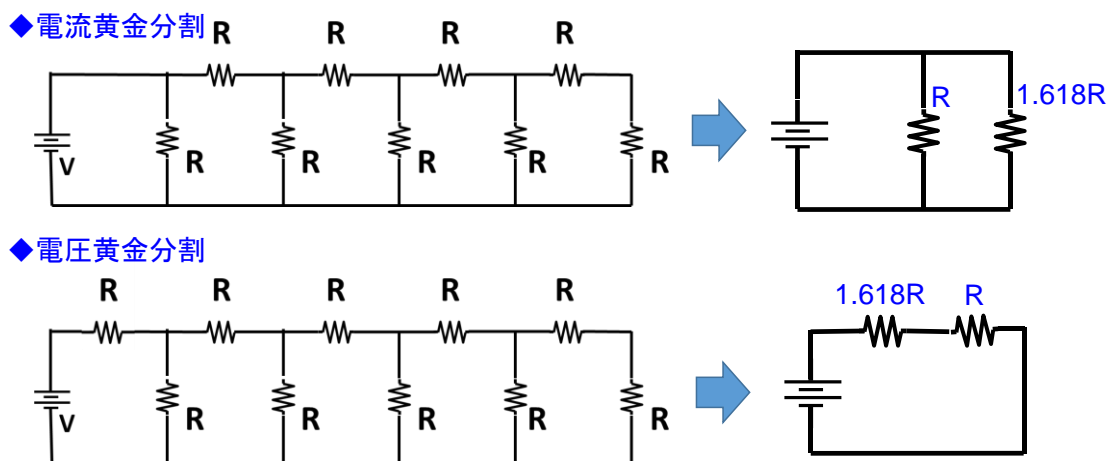


図 4-6 R-R 抵抗ラダー回路による電流・電圧の黄金分割の実現

4.3 リュカ数列と X ボナッチ数列

整数論において、フィボナッチ数列と関連性の高い数列としてリュカ数列と X ボナッチ数列が知られている。本節ではリュカ数列と X ボナッチ数列について説明する。

4.3.1 リュカ数列

リュカ数列はエドゥアール・リュカ(1842-1891 年)によって考えられた数列で、式(4-7)で定義される[19,20]。

$$\begin{aligned} L_{n+2} &= L_n + L_{n+1} \\ L_0 &= 2, L_1 = 1 \end{aligned} \quad (4-7)$$

式(4-7)からリュカ数列はフィボナッチ数列の初期値を変更したものだとなる。はじめの項を計算すると以下ようになる。

$$2, 1, 3, 4, 7, 11, 18, 29, 47, 76, 123, 199, 322, 521, 843, 1364, 2207, 3571, \dots$$

この数列の特徴はフィボナッチ数列以外で唯一、隣接項比率が黄金比に収束する整数列を生成できる点にある。すなわち式(4-8)が成り立つ。

$$\lim_{n \rightarrow \infty} \frac{L_n}{L_{n-1}} = 1.618033988749895 = \varphi \quad (4-8)$$

この性質に加えてリュカ数列には以下のような基本性質があり、フィボナッチ数列と似た性質が存在することを確認できる。

①最初の n 個のリュカ数の和は、二つ後のリュカ数から 3 を引いた数になる

$$\sum_{i=1}^n L_i = L_1 + L_2 + L_3 + L_4 + \dots + L_n = L_{n+2} - 3$$

② L_0 を含む最初の n 個のリュカ数の和は、二つ後のリュカ数から 1 を引いた数になる

$$\sum_{i=0}^n L_i = L_0 + L_1 + L_2 + L_3 + L_4 + \dots + L_n = L_{n+2} - 1$$

③リュカ数の平方の和は、最後の数と次の数の積から 2 引いた数となる

$$\sum_{i=1}^n L_i^2 = L_n L_{n+1} - 2$$

4.3.2 X ボナッチ数列

フィボナッチ数列は前 2 項を足して作られる数列である。これに対して加算する項数を増加させた数列を総称して X ボナッチ数列と呼ぶ。ここでは一般的に知られているトリボナッチ数列、テトラナッチ数列を紹介した後、X ボナッチ数列について記述する。

◆トリボナッチ数列

トリボナッチ数列は前 3 項の和で定義される数列で、式(4-9)で定義される。

$$T_r(n+3) = T_r(n) + T_r(n+1) + T_r(n+2) \quad (4-9)$$

$$T_r(0) = T_r(1) = 0, T_r(2) = 1$$

はじめの項を計算すると以下ようになる。

$$0, 0, 1, 1, 2, 4, 7, 13, 24, 44, 81, 149, 274, 504, 927, 1705, \dots$$

またトリボナッチ数列の隣接項比率は、式(4-10)を満たす。

$$\lim_{n \rightarrow \infty} \frac{T_r(n)}{T_r(n-1)} = 1.839286755214162 \quad (4-10)$$

隣接項比率はフィボナッチ数列と同様に一定の値へ収束する。

◆テトラナッチ数列

テトラナッチ数列は前 4 項の和で定義される数列で、式(4-11)で定義される。

$$T_e(n+4) = T_e(n) + T_e(n+1) + T_e(n+2) + T_e(n+3) \quad (4-11)$$

$$T_e(0) = T_e(1) = T_e(2) = 0, T_e(3) = 1$$

はじめの項を計算すると以下ようになる。

$$0, 0, 0, 1, 1, 2, 4, 8, 15, 29, 56, 108, 208, 401, 773, 1490, \dots$$

またテトラナッチ数列の隣接項比率は、式(4-12)を満たす。

$$\lim_{n \rightarrow \infty} \frac{T_e(n)}{T_e(n-1)} = 1.9275619754829253 \quad (4-12)$$

隣接項比率はフィボナッチ数列と同様に一定の値へ収束する。

◆X ボナッチ数列

トリボナッチ数列やテトラナッチ数列のように、加算する項の数を増加させていくと隣接項比率の収束値は 2 に漸近する(初項の最終値のみを 1、その他の初項は 0 と設定する)。この数列を X ボナッチ数列と呼ぶ。X ボナッチ数列は、フィボナッチ数列などと比較して特殊な性質が少ない。

4.4 白銀比

白銀比(silver ratio)とは正方形の一辺と対角線の長さの比のことで、すなわち $1:\sqrt{2}$ ($\approx 1.41421356\dots$)の比率を示すものである。西洋の黄金比と対を成す比率と考えられており、日本人が好む比率であることから“大和比”とも呼ばれる[28]。

日本人が白銀比を好むのは、正方形に関係があると言われている。丸い材木を正方形で切り出すと、最大面積で材木を切り取ることができる。つまり正方形は無駄を出さない合理的な切り出し方で、資源が限られている島国の日本では昔から正方形が好まれる文化というのである。正方形を好む文化は、畳、枡、折り紙、風呂敷といった身近なものに見られる。

白銀比は様々な場所で利用されている。代表的なものに、古くから建築道具として利用される指矩(さしがね)がある。指矩はL字型をした定規で、表目と裏目が存在し、裏目には表目を白銀比倍($\sqrt{2}$ 倍)した目盛りが刻まれている。指矩を最も有効に活かせるのは円から正方形を切り出すときであり、L字型を利用して円の直径を裏目で測ると、その目盛りが表目で測った正方形の一辺の長さとなる。正方形は木材を無駄にしない切り出し方であるので、木造建築が一般的である日本において、指矩は重要な工具である。

またコピー用紙にも白銀比は利用されている。コピー用紙の規格にはA判とB判が存在し、それぞれドイツと日本で生まれた規格である。どちらの長方形も長辺と短辺の比率が白銀比となっている。それは白銀比が相似形を作り出すのに適しているためで、コピー用紙を長辺で半分に折り続けても長辺と短辺の比率は白銀比のままだからである。

白銀比は、建築や美術やデザインにも存在する。法隆寺や東京スカイツリー、菱川師宣「見返り美人図」や雪舟「秋冬山水図」、日本のアニメキャラクターなどでの存在が広く知られている。白銀比は、黄金比と同様に幾何学的な特徴を保持する比率だと言える。

第 5 章 整数論を用いた冗長 AD 変換器設計

5.1 概要

逐次比較近似型 AD 変換器の信頼性や速度の性能を向上させるために、冗長設計が有効であった。しかしながら従来の比較電圧重み $p(k)$ の決定手法では冗長設計の十分な効果の発揮が難しかった。理論構築が不十分で、適切な基準や選択方法が存在していないためである。これらのことは性能低下や設計難度上昇の原因となる。

そこで本研究では、整数を使うべきであるという AD 変換器の設計を考慮して整数論を用いた設計指針を示す。整数論を用いることで冗長理論構築や重み付け手法提案ができれば、単純な性能向上だけでなく従来手法への貢献も可能である。

本章では 4 章で紹介した整数論を用いた冗長設計を提案し、それらの効果を示す。

5.2 フィボナッチ数列を用いた冗長 AD 変換器設計

式(4-1)からフィボナッチ数列は整数のみで構成される数列であり、式(4-3)から隣り合う項の比率は黄金比(=約 1.62)になる。このことを別の表現にすると、端数処理がまったく使われていない整数のみで、基数が黄金比である約 1.62 進の数字列を実現できるということになる。一般的に整数の小数倍は小数となるが、フィボナッチ数列は整数の小数倍(約 1.62 倍)が整数となるために冗長設計に応用できるのである(図 5-1)。整数項のみで一定比率を保持することができる、フィボナッチ数列の強力な性質を用いて逐次比較近似 AD 変換器の設計を試みた。

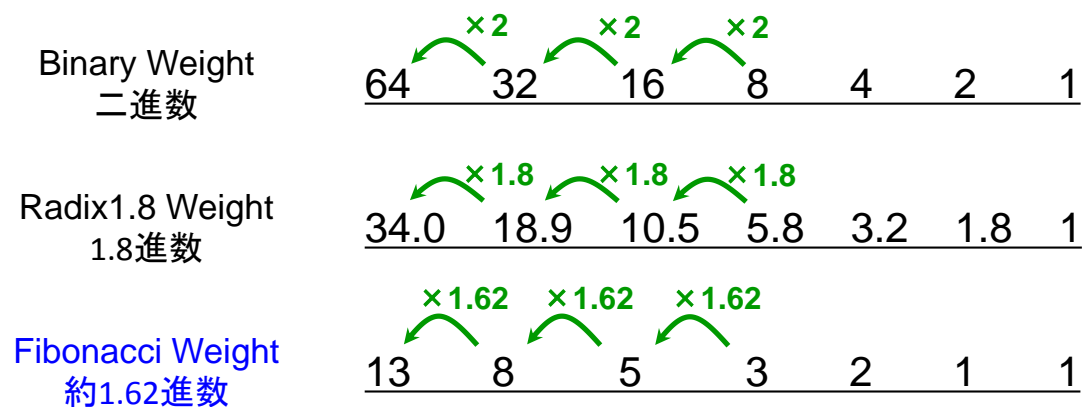


図 5-1 フィボナッチ数列の応用の考え方

5.2.1 フィボナッチ数列の応用

図 5-1 の考え方に基づいて、比較電圧重み $p(k)$ を小さい方からフィボナッチ数の大きさに決定する。すなわち N-bit M-step 逐次比較近似型 AD 変換器の k-step 目の比較電圧重み $p(k)$ は式(5-1)と決定する。

$$p(k) = F_{M-k+1} \quad (5-1)$$

ここで $p(1) = 2^{N-1}$ である。フィボナッチ数列の性質に従えばこの方法で整数のみの約 1.62 進を実現できる。このとき利用する総ステップ数 M は、従来手法と同様に式(3-3)を満たすように決定する。この重み付け手法を“フィボナッチ手法”呼ぶことにする。

フィボナッチ数列を組み合わせた 4-bit 6-step 逐次比較近似型 AD 変換器の解探索動作を図 5-2 に示す。4bit なので 16Level の半分である 8LSB(ハーフスケール電圧)を最初のステップの重みとして選択し、以降は式(5-1)に従ってフィボナッチ数重みで実現している。図 5-2 において両矢印が補正可能範囲を示しており、上矢印が式(3-4)で示される補正可能な入力範囲差 $q(k)$ である。

Step	1	2	3	4	5	6	output
Weight $p(k)$	8	5	3	2	1	1	
LEVEL	16						16
	15						15
	14						14
	13						13
	12						12
	11						11
	10						10
	9						9
	8						8
	7						7
	6						6
	5						5
	4						4
	3						3
	2						2
	1						1
	0						0
	-1						-1

図 5-2 4-bit 6-step フィボナッチ数列を用いた冗長探索

5.2.2 フィボナッチ数列を用いた冗長設計の性質

図 5-2 からこれまでの重み付け方法では見られなかった性質を 2 点発見することができる。以下にそれらの性質を示し、図 5-3 にその性質を図示する。

(性質 1)

補正可能な入力範囲差 $q(k)$ は必ずフィボナッチ数となり、その値は F_{M-k-1} となる。すなわち式(5-2)が成り立つ。

$$q(k) = F_{M-k-1} \quad (5-2)$$

(性質 2)

k -step 目の補正可能範囲は $(k-1)$ -step 目の補正可能範囲と重なることなく必ず接する。つまり図 5-2 において k -step と $(k-1)$ -step の両矢印の先端は必ず同じ Level 値となり、式(5-3)を満たすことになる。

$$p(k) = q(k-1) + q(k) \quad (5-3)$$

ただし $k > 1$

これは同時に補正可能範囲が 重なる / 離れる の境界がフィボナッチ数重みであること、もしくはフィボナッチ数重みが補正可能範囲を接させるための最速の重み付けであることを示す。

Step	1	2	3	4	5	6	output
Weight p(k)	8	5	3	2	1	1	
LEVEL	16						16
	15						15
	14						14
	13						13
	12						12
	11						11
	10						10
	9						9
	8						8
	7						7
	6						6
	5						5
	4						4
	3						3
	2						2
	1						1
	0						0
	-1						-1

図 5-3 フィボナッチ数列を利用した冗長設計の性質

示した 2 点の性質について証明を行う。

(性質 1)

補正可能な入力範囲差 $q(k)$ は必ずフィボナッチ数となり、その値は F_{M-k-1} となる。
すなわち式(5-2)が成り立つ。

$$q(k) = F_{M-k-1} \quad (5-2)$$

(証明)

M-step 中 k-step 目の誤差補正可能な入力範囲差 $q(k)$ は式(3-4)から

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i) \quad (3-4)$$

である。また式(3-4)から誤差補正可能な入力範囲差 $q(k)$ の存在を考えると、判定ステップ k は以下を満たす。

$$1 \leq k < M-1$$

ここでフィボナッチ重みを表現した式(5-1)を使うと $q(k)$ は、

$$q(k) = -F_{M-k} + 1 + \sum_{i=1}^{M-(k+1)} F_i$$

と書き換えることができる。

これを式(4-1)、式(4-6)を利用して式変形を行うと、

$$\begin{aligned} q(k) &= -F_{M-k} + 1 + (F_{\{M-(k+1)\}+2} - 1) \\ &= -F_{M-k} + 1 + F_{M-k+1} - 1 = F_{M-k+1} - F_{M-k} \\ &= F_{M-k-1} \end{aligned}$$

となる。したがって

$$q(k) = F_{M-k-1} \quad (5-2)$$

が成り立ち、誤差補正可能な入力範囲差 $q(k)$ は必ずフィボナッチ数となり、その値は F_{M-k-1} となる。 ■

(性質 2)

k -step 目の補正可能範囲は $(k-1)$ -step 目の補正可能範囲と重なることなく必ず接する。つまり図 5-2 において k -step と $(k-1)$ -step の両矢印の先端は必ず同じ Level 値となり、式(5-3)を満たすことになる。

$$p(k) = q(k-1) + q(k) \quad (5-3)$$

ただし $k > 1$

これは同時に補正可能範囲が 重なる / 離れる の境界がフィボナッチ数重みであること、もしくはフィボナッチ数重みが補正可能範囲を接させるための最速の重み付けであることを示す。

(証明)

$1 < k < M-1$ において k -step 目の比較電圧重み $p(k)$ は式(5-1)として示せる。

$$p(k) = F_{M-k+1} \quad (5-1)$$

すなわち式(3-1)から比較電圧は 1-step 毎に式(5-1)の値だけ差を持つ。

式(4-1)から式(5-1)を変形させると

$$p(k) = F_{M-k+1} = F_{M-k} + F_{M-k-1} = F_{M-(k-1)-1} + F_{M-k-1}$$

を得られる。式(5-2)から、フィボナッチ数を誤差補正可能な入力範囲 $q(k)$ に置き換えると、

$$p(k) = q(k-1) + q(k)$$

となる。

$1 < k < M-1$ において、 k -step 目と $(k-1)$ -step 目の差 $p(k)$ は、 k -step 目の許容値 $q(k)$ と $(k-1)$ -step 目の許容値 $q(k-1)$ の和で表現されるので誤差補正可能な入力範囲 $q(k)$ 及び補正可能範囲は必ず接する。また式(5-3)から比較電圧の大きさにかかわらず、step 毎に必ず重なることなく接することがわかるので補正可能範囲が接する最速の重み付けである。 ■

フィボナッチ数列を逐次比較近似 AD 変換器へ応用することで式(5-2)と式(5-3)の性質が得られたが、そのうち式(5-3)の発見の意義と重要性はきわめて大きく、その理由が二つある。

まず一つ目にこの性質が逐次比較近似型 AD 変換器における冗長設計の基準となることが挙げられる。フィボナッチ数列を利用した冗長設計では式(3-9)で基数 r が黄金比(約 1.62 進)であることに等しく、補正可能範囲が接する条件となっていた。このことは黄金比の基数を基準とすれば誤差補正可能な入力範囲差 $q(k)$ が重なるか離れるかが判定できるということを示している。すなわち基数 r の値が黄金比(約 1.62)より大きければ、冗長度が小さく図 3-12 のように $q(k)$ は離れることになる。また基数 r の値が黄金比より小さければ冗長度が大きく $q(k)$ は重なることになる。このようにして黄金比を冗長度の基準とすれば、補正力の大きさから基数 r を容易に決定できる。

また二つ目の理由としてフィボナッチ数列を用いた冗長設計は最も効率のよい設計ができることが挙げられる。式(5-3)が成り立つ限り補正可能な入力範囲差 $q(k)$ は重なることなく接するので、最小の冗長度で補正できない入力範囲が存在しないということになる。すなわち整数で構成されるフィボナッチ数を比較電圧重み付けに利用することで、最小ステップ数で全入力範囲を補正可能な無駄がない設計を実現できるのである。

以上の二点からは従来法の問題点を改善できることを示すことができ、フィボナッチ数列を設計に用いることの有効性が確認できる。

5.2.3 黄金比 DA 変換器設計

ここまでフィボナッチ数列を用いた冗長逐次比較近似 AD 変換器が、補正能力において優位性を持つことを示してきた。式(5-1)で導出される比較電圧重み $p(k)$ を、図 3-11 中のメモリーに記憶させれば、式(5-2)、式(5-3)の性質を利用することができる。しかしながら、もしフィボナッチ数重みを出力できる DA 変換器を作ることができれば、図 3-11 の回路のメモリーや加算器や減算器を省略し、回路規模を縮小できる可能性がある。そこで本項では、4 章で示した R・R 抵抗ラダー回路(図 4-4)を応用して、フィボナッチ数重みを出力できる内部 DA 変換器の構成を提案する。

(1)抵抗ネットワークによる DA 変換器構成

A. R 終端 R・R 抵抗ラダー DA 変換器構成 (フィボナッチ数列奇数項重み)

提案回路構成を図 5-4 に、その動作例を図 5-5 に示す。図 5-4 は R・R 抵抗ラダー回路(図 4-4)の電圧源を無くし、各ノードに同じ大きさの電流源を接続したものであるとわかる。

電流は各ノードでフィボナッチ数に基づいて分割される。全体で Y 点のノードを持つ R・R 抵抗ラダー回路を考えると、左から x 点目のノードから右側を見たときの合成抵抗 R_x は式(5-4)のようになる。

$$R_x = \left(\frac{F_{2(Y-x)+1}}{F_{2(Y-x)+2}} \right) R \quad (5-4)$$

図 5-5 の最上段の回路では各抵抗 R にフィボナッチ数に重み付けされた電流が流れていることがわかる。また各ノードから GND にフィボナッチ数の奇数項に重み付けされた電流が流れ、各ノードの電圧がフィボナッチ数の奇数項に重み付けされた電圧が生成されている。また、図 5-5 より電流源を V_{out} 側に一つずつノードをずらしていくと、出力電圧 V_{out} にフィボナッチ数の奇数項に重み付けされた電圧が生じる。すなわち Y 点のノードを持つ場合に、左から x 番目のノードに電流源をつなぐと式(5-5)の電圧を一番右のノードに出力できる。

$$V(m) = \left(\frac{F_{2(n-m)+1}}{F_{2n}} \right) IR \quad (5-5)$$

式(5-5)の分母は電流や抵抗値を調節することで取り去ることが可能である。例として図 5-5 では電流源を $55I$ として用いている。

これらはノード毎に式(5-4)に従ってフィボナッチ数の比率に電流が分割されるため成り立つ。また図 5-4 の回路は重ね合わせの理により、フィボナッチ数列奇数項重み DAC が実現できることがわかる。

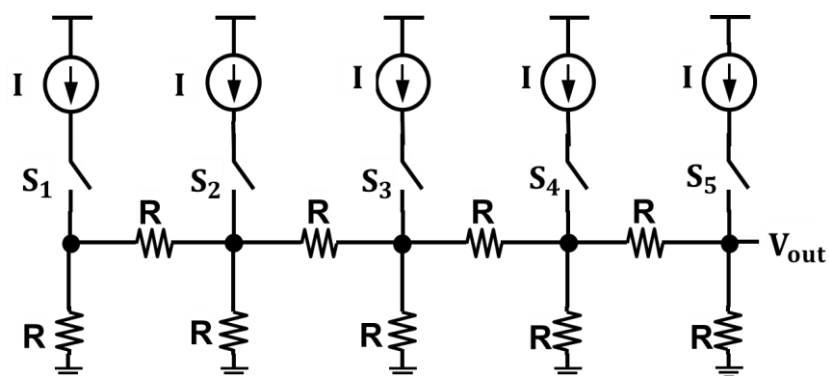


図 5-4 R 終端 R-R 抵抗ラダーDA 変換器構成

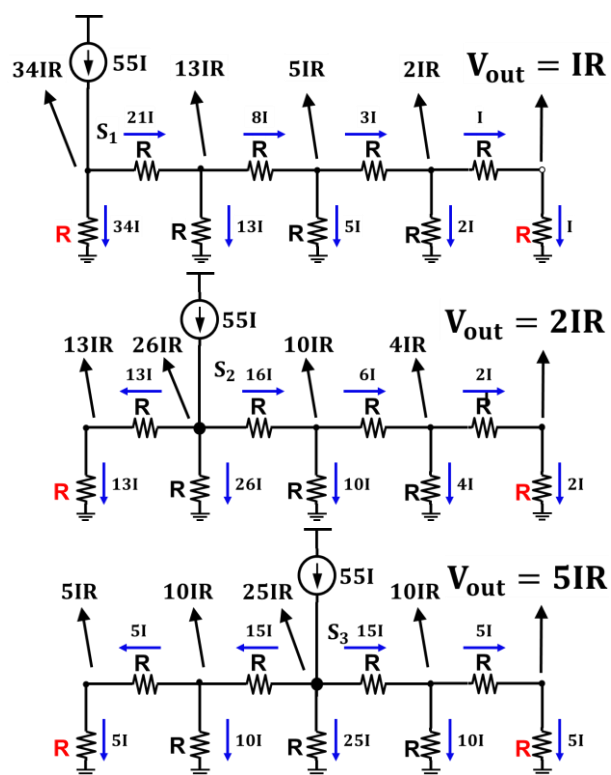


図 5-5 R 終端 R-R 抵抗ラダーDA 変換器動作例

B. R/R 終端 R-R 抵抗ラダーDA 変換器構成 (フィボナッチ数列偶数項重み)

図 5-4 の DA 変換器回路は奇数項のフィボナッチ数重みの出力であり、これだけではフィボナッチ重み DA 変換器としての機能を果たすことができない。そこでフィボナッチ数偶数項重みを出力できる DA 変換器を考える。

提案回路構成を図 5-6 に、その動作例を図 5-7 に示す。図 5-6 は R-R 抵抗ラダー DA 変換器回路(図 5-4)の両終端を、R から R/R の並列結合へと変更したものである。

R 終端 R-R 抵抗ラダー DA 変換器と同様に、電流は各ノードでフィボナッチ数に基づいて分割される。全体で Y 点のノードを持つ R/R 終端 R-R 抵抗ラダー回路を考えると、左から x 点目のノードから右側を見たときの合成抵抗 R_x は式(5-6)のようになる。

$$R_x = \left(\frac{F_{2(Y-x)+2}}{F_{2(Y-x)+1}} \right) R \quad (5-6)$$

図 5-7 の最上段の回路では各抵抗 R にフィボナッチ数に重み付けされた電流が流れていることがわかる。また、図 5-7 より電流源を V_{out} 側に一つずつノードをずらしていくと、出力電圧 V_{out} にフィボナッチ数の偶数項に重み付けされた電圧が生じる。すなわち Y 点のノードを持つ場合に、左から x 番目のノードに電流源をつなぐと式(5-7)の電圧を一番右のノードに出力できる。

$$V(m) = \left(\frac{F_{2(n-m)+2}}{F_{2n+2}} \right) IR \quad (5-7)$$

これらはノード毎に式(5-6)に従ってフィボナッチ数の比率に電流が分割されるため成り立つ。また図 5-6 の回路は重ね合わせの理により、フィボナッチ数列偶数項重み DAC が実現できることがわかる。

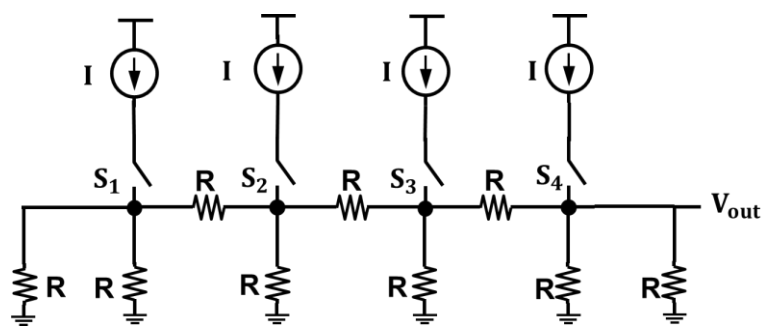


図 5-6 R/R 終端 R-R 抵抗ラダーDA 変換器構成

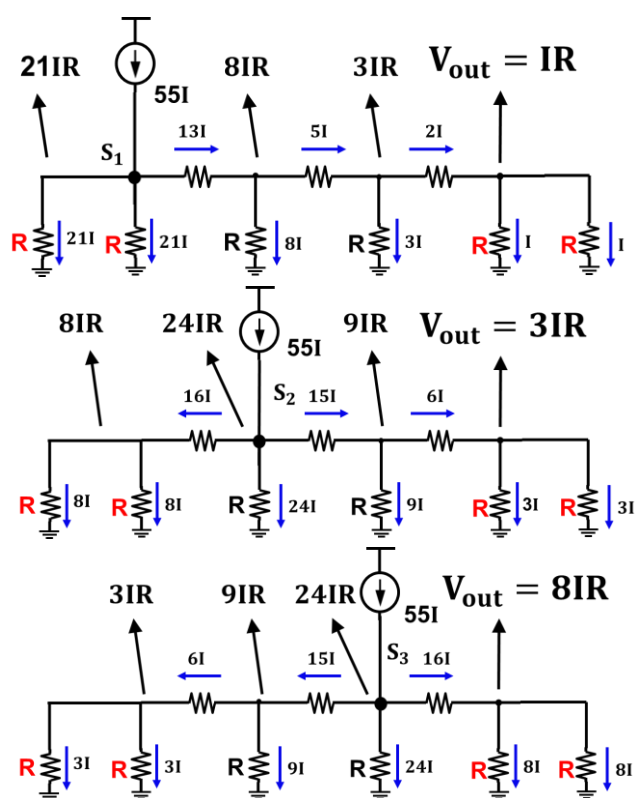


図 5-7 R/R 終端 R-R 抵抗ラダーDA 変換器動作例

C. R-R 抵抗ラダーフィボナッチ数重み DA 変換器構成

フィボナッチ数奇数項重み電圧を出力できる DA 変換器(図 5-4)とフィボナッチ数偶数項重み電圧を出力できる DA 変換器(図 5-6)の出力を加算することができれば、すべてのフィボナッチ数重みの電圧を出力できる DA 変換器を作成することができる。電圧の加算にはオペアンプを利用する方法とキャパシタを利用する方法があるが、逐次比較近似型 AD 変換器での利用を考えてキャパシタによる加算を考えた。フィボナッチ数重み DA 変換器回路を図 5-8 に示す。

図 5-8 の上段が奇数項重み電圧出力 DA 変換器で、下段が偶数項重み電圧出力 DA 変換器となっている。この回路の LTSpice でのシミュレーション結果を図 5-9 に示す。ここで $R=550\Omega$ 、 $C_1=C_2=1\text{pF}$ 、 $I=2\mu\text{A}$ である。図 5-9 左図はスイッチを時間ごとに一つずつ ON にしたものだが、各スイッチがフィボナッチ数重みに対応していることがわかる。またスイッチを組み合わせた図 5-9 右図の結果から DA 変換器として機能できることもわかる。

以上より、図 5-8 の回路を利用すればフィボナッチ数重みの DA 変換器を作成することが可能だとわかる。

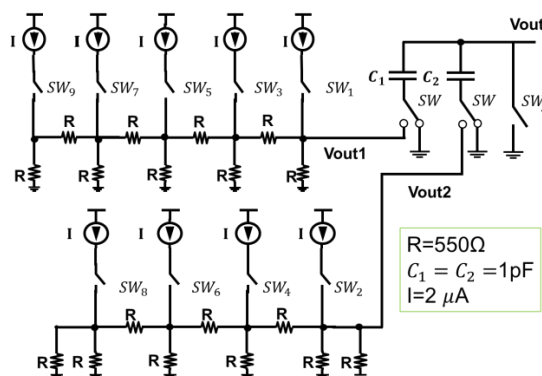


図 5-8 フィボナッチ数重み DA 変換器

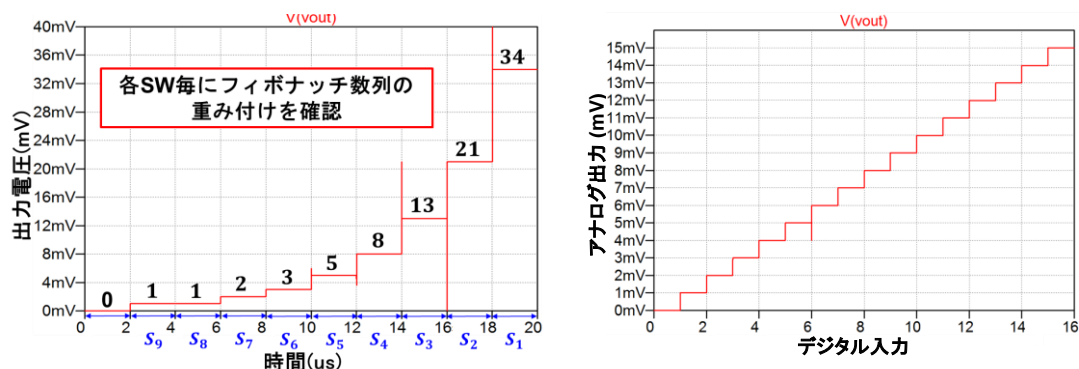


図 5-9 フィボナッチ数重み DA 変換器シミュレーション結果

D. 単電流源 R-R 抵抗ラダーフィボナッチ数重み DA 変換器構成

フィボナッチ数奇数項重み電圧を出力できる DA 変換器(図 5-4)とフィボナッチ数偶数項重み電圧を出力できる DA 変換器(図 5-6)から着想し、一つの電流源でフィボナッチ数列重み電圧を出力できる回路を考えた。図 5-10 に示す。

一つの電流源に R 終端と R/R 終端の R-R 抵抗ラダー回路をつなぎ、フィボナッチ数重みを出力できるように抵抗値の値を合わせた回路である。図 5-10 で上段が奇数項の出力、下段が偶数項の出力になる。式(5-4)と式(5-6)が成り立つので図 5-10 のようにフィボナッチ重みの電圧を出力することができる。出力されるフィボナッチ重み電圧をオペアンプやキャパシタで加算すれば、R-R 抵抗ラダーフィボナッチ数重み DA 変換器を作ることができる。単電流源になり電流源のばらつきに強くなるが、常に GND に対して電流が流れるため消費電力が大きくなる。

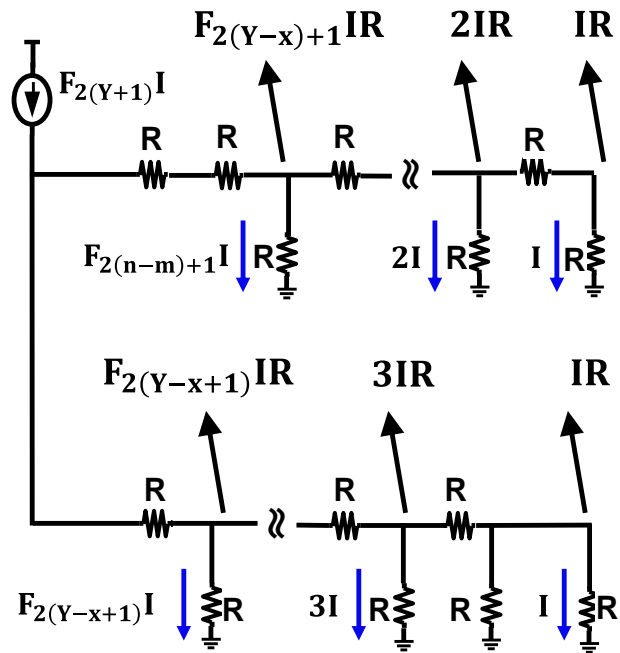


図 5-10 単電流源 R-R 抵抗ラダーフィボナッチ数重み DA 変換器構成

(2)容量ネットワークによる DA 変換器構成

R-R 抵抗ラダー回路でのフィボナッチ数重み DA 変換器の構成を応用して、容量での DA 変換器構成も検討した。容量と電圧源で構成した回路を図 5-11 に示し、図 5-12 に動作例を示す。図 5-12 から、フィボナッチ数重み DA 変換器が実現できていることがわかる。このように容量ネットワークで実現できれば定常電流が流れず、低消費電力化できる。一方、一端がグラウンドに接続していない容量を IC 内で実現し DA 変換器に用いると両電極ノードからグラウンドへの寄生容量の影響で高精度 DA 変換器の実現が難しいことに注意が必要である。

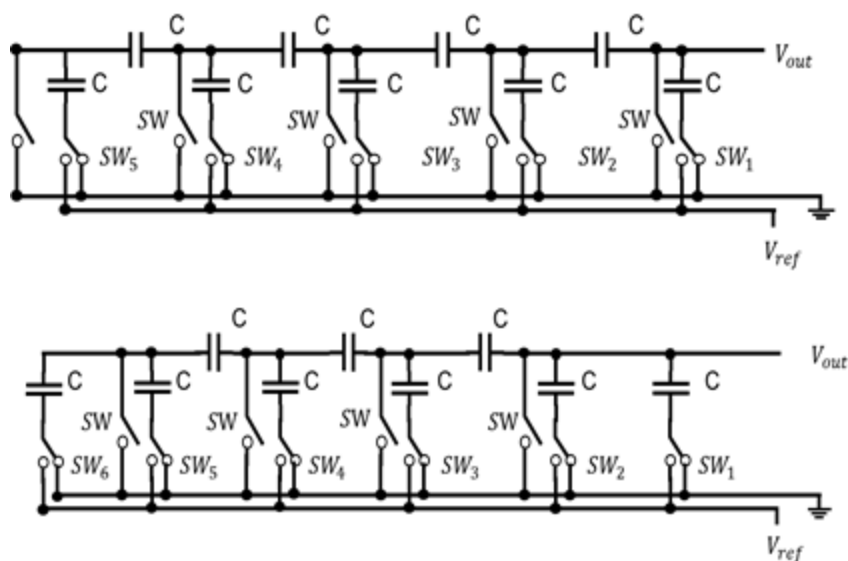


図 5-11 C-C 容量ラダーDA 変換器の構成

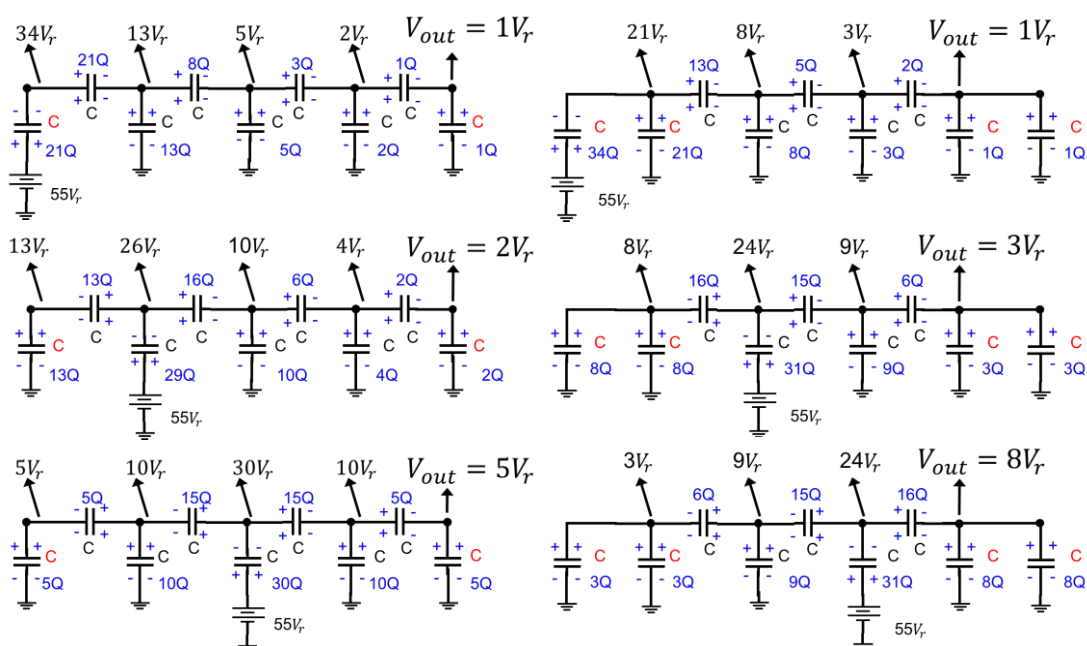


図 5-12 C-C 容量ラダーDA 変換器の動作例

(3) フィボナッチ数重み DA 変換器の応用

フィボナッチ数重みを持つ DA 変換器は、AD 変換器内部の DA 変換器としてではなく冗長を利用した高性能 DA 変換器として利用できる可能性がある。冗長を持っているフィボナッチ重み DA 変換器は 1 種類の入力に対して、出力電圧の出力方法が複数存在するため補正や校正を実現することができる。特に以下の 3 種類の利用方法が考えられる。

- A. この回路では一つのデジタル入力に対して出力電流値の表現方法が複数個存在することになる。これを利用して、すべてのミスマッチが少なく一番線形性のよい組み合わせのスイッチを選択できる。
- B. 1 つのデジタルデータ値から複数の「スイッチ組み合わせ」の選択肢からランダムに使用する組み合わせを変更すること（ダイナミックマッチング）でミスマッチの影響を周波数拡散して SFDR (Spurious-Free Dynamic Range) を向上できる。
- C. さらにフィボナッチ数列の定義である

$$F_{n+2} = F_n + F_{n+1} \quad (4-1)$$

の下位 2 つの電流源の和が次の電流源になることを利用して、電流源を比較・校正できる。

5.3 リュカ数列と X ボナッチ数列を用いた冗長 AD 変換器設計

整数論を用いた AD/DA 変換器応用の研究はほとんど行われていない。これまで整数論のひとつであるフィボナッチ数列を用いた冗長設計方法について述べ、効果を実証することができたが、他の整数論が応用できる可能性も十分ある。ここでは応用可能性の高い整数論(リュカ数列・X ボナッチ数列)とそれに対する考察を示す。これら数列はフィボナッチ数列の漸化式を変更したものであるが、整数のみで一定の隣接項比率を維持できるというフィボナッチ数と同等の性質は応用できる。フィボナッチ数列を用いた冗長設計が、何かしらの理由で使用できない場合などに、代わりとして利用することを検討できる。

5.3.1 リュカ数列を用いた冗長 AD 変換器設計

リュカ数列を冗長逐次比較近似型 AD 変換器へ応用する。N-bit M-step の逐次比較近似型 AD 変換器で利用する k-step 目の比較電圧重み $p(k)$ をリュカ数列(式(4-7))を利用して式(5-8)のように決定する。

$$p(k) = L_{M-k} \quad (5-8)$$

ここで $p(1) = 2^{N-1}$, $p(M-1) = L_0 = 2$, $p(M) = L_1 = 1$ である。すなわちリュカ数を大きき順に比較電圧重み $p(k)$ として利用するのである。4-bit 6-step の解探索動作と補正可能範囲を図 5-13 に示す。

フィボナッチ数列と同様に補正可能誤差範囲 $q(k)$ がリュカ数となり、補正可能範囲が接することがわかる。これはリュカ数列の性質②から、最初の n 項の和の公式がフィボナッチ数列と同じであるのでフィボナッチ数列と同様に証明することができる(ただし $1 < k < M-2$ の範囲)。このことは黄金比が冗長設計における基数の境界条件であることを再確認させ、リュカ数列応用の可能性を示す結果となる。しかしながら最後から 3-step の間は、誤差補正可能な入力範囲差 $q(k)$ の式(3-4)から補正することができないので、補正力はフィボナッチ数列よりも弱いと考えられる。

Step	1	2	3	4	5	6	output
Weight $p(k)$	8	7	4	3	2	1	
16							16
15							15
14							14
13							13
12							12
11							11
10							10
9							9
8							8
7							7
6							6
5							5
4							4
3							3
2							2
1							1
0							0
-1							-1

図 5-13 4-bit 6-step リュカ数列を用いた逐次比較近似型 AD 変換器

5.3.2 X ボナッチ数列を用いた冗長 AD 変換器設計

X ボナッチ数列を冗長逐次比較近似型 AD 変換器へ応用する。N-bit M-step の逐次比較近似型 AD 変換器で利用する k-step 目の比較電圧重み $p(k)$ を、X ボナッチ数列の大きさ順に決定する($p(1) = 2^{N-1}$)。

例としてトリボナッチ数列を利用した 4-bit 5-step の解探索動作と補正可能範囲を図 5-14 に示す。図 5-14 から X ボナッチ数列の隣接項比率が大きくなると、二進重みに $p(N+1)=1$ の項が余分に付加されただけになることが伺える。図 5-14 を見ると誤判定許容範囲は重なることなく、入力範囲全域を補正できることがわかる。この冗長設計方法には応用の余地はないと予測されるが、漸化式を用いた冗長設計方法のひとつの目安となる例である。また X ボナッチ数列を利用すると以下の 3 つの共通性質が見つかる。

- (1)補正可能ステップの末尾には誤差許容範囲 $q(k)=1$ が漸化式右辺の項の数だけ並ぶ
- (2)最終 2-step は補正できる範囲がない
- (3)数列の第 n 項までの総和に 1 を足したものが、{n+漸化式右辺の項の数}という項番号を持つ重みステップの許容範囲 $q(k)$ に等しい

上記の性質は、誤差補正可能な入力範囲差 $q(k)$ の式(3-4)とその数列を定義する漸化式を用いると容易に証明することが可能である。これらの性質は補正力のひとつの指標にはなるが、十分に実用的とは言えないため、今後新たな性質の発見を望まれる。

Step	1	2	3	4	5	output
Weight $p(k)$	8	4	2	1	1	
LEVEL	16					16
	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1					1
	0					0
	-1					-1

図 5-14 4-bit 5-step X ボナッチ数列(トリボナッチ・テトラナッチ)を用いた逐次比較近似型 AD 変換器

5.4 白銀比を用いた冗長 AD 変換器設計

現在のところ $\sqrt{2}$ 進数を整数のみの数列で表現できる方法はない。筆者は内部 DA 変換器の不完全整定による高速化の考え方に基づいて、擬似的に $\sqrt{2}$ 進数を実現する方法を発見した。その効果と性質を本節で説明する。

5.4.1 整定時間短縮の考え方

図 5-15 は内部 DA 変換器の理想と実際の整定時間を示した図である。図 3-8 と図 3-10 では変換時間に対して支配的である DA 変換器出力値の整定時間のみを考えていたが、実際には 1-step の時間は DA 変換器整定時間とコンパレータ判定時間 T_{comp} と逐次比較ロジック計算時間 T_{Logic} の和となる。すなわち図 5-15 の左図ではなく右図のようになる。図 5-15 右図では、1-step 切り替わる(DA 変換器の入力が変化する)までにコンパレータ判定時間とロジック計算時間を必要としているのがわかる。

ここでコンパレータ判定時間と逐次比較ロジック計算時間が無限にかかると仮定すると、図 5-16 のようになる。すなわち本来比較に利用する V_{ref} に DA 変換器の出力値が漸近するのである。ここで誤差補正可能な入力範囲差 $q(k)$ を比較電圧重み $p(k)$ まで近づけていくと、整定時間が限りなく小さくなるとわかる。もしコンパレータ判定時間 T_{comp} と逐次比較ロジック計算時間 T_{Logic} が無限にかかるとすれば、 $q(k)$ と $p(k)$ が同じ値ならば整定時間は 0 になるはずである。この考え方を動機として、式(5-9)が成り立つように比較電圧重みを決定することを考える。

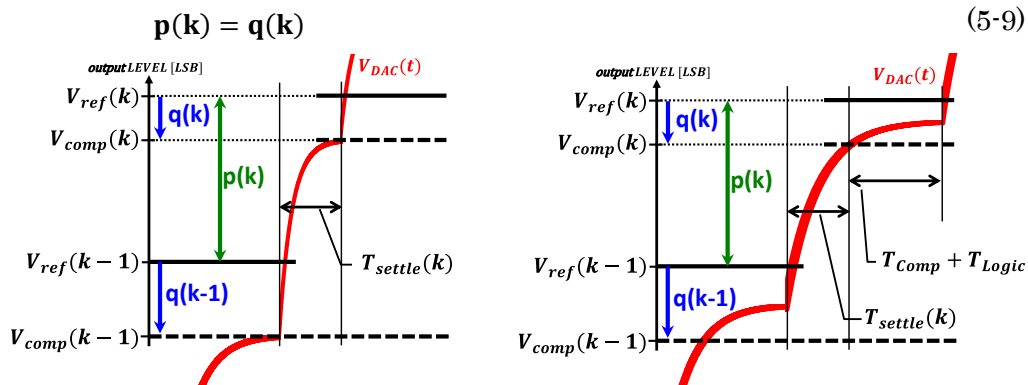


図 5-15 DA 変換器出力図(左：理想の DA 変換器出力、右：実際の DA 変換器出力)

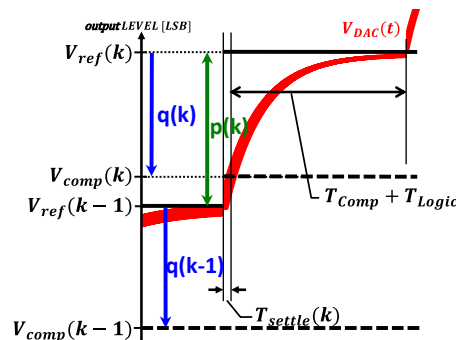


図 5-16 整定時間を減らす考え方

5.4.2 擬似白銀比重みの導出

式(5-9)を満たす比較電圧重み $p(k)$ を求める。式(5-9)から $2 \leq k \leq M-2$ の条件下で考えると、 $p(M)$ と $p(M-1)$ の値を決定する必要がある。そこで $p(M) = 1$ 、 $p(M-1) = 1$ として、式(3-4)を利用して計算する。以下に比較電圧重み $p(k)$ の求め方の例を示す。

$$\begin{aligned} p(M-2) &= q(M-2) = -p(M-1) + 1 + \sum_{i=M-2}^M P(i) = 1 \\ p(M-3) &= q(M-3) = -p(M-2) + 1 + \sum_{i=M-3}^M P(i) = 2 \\ p(M-4) &= q(M-4) = -p(M-3) + 1 + \sum_{i=M-4}^M P(i) = 2 \\ p(M-5) &= q(M-5) = -p(M-4) + 1 + \sum_{i=M-5}^M P(i) = 4 \end{aligned}$$

以上のように決定していくと比較電圧重み $p(k)$ を順に決定していくことができる。以上の手順に従って小さい項から計算していくと以下の値になる。

$$1, 1, 1, 2, 2, 4, 4, 8, 8, 16, 16, 32, 32, 64, 64, 128, 128 \dots$$

ここから計算結果は二進重みを 2 項ずつ並べたものとわかる。すなわち k -step 目の比較電圧重み $p(k)$ は式(5-10)のように決定できる。

$$p(k) = \sqrt{2}^{M-k-4} \left((1 + \sqrt{2}) - (-1)^{M-k+1} (1 - \sqrt{2}) \right) \quad (5-10)$$

ただし $p(1) = 2^{N-1}$ 、 $p(M) = 1$ である。ここで式(3-3)を満たすように総ステップ数 M を求めると式(5-11)のように表現できる。

$$M = 2(N-1) \quad (5-11)$$

5.4.3 白銀比について

式(5-10)で得ることができた比較電圧重みの列は、2 項ごとに項の大きさが 2 倍になる。これは 1 項ごとに項が $\sqrt{2}$ 倍されているとみなせる(図 5-17)。よってこの数列を擬似的な $\sqrt{2}$ 進数だと考え、“擬似白銀比数列”と呼び、この重み付け手法を“擬似白銀比手法”と呼ぶことにする。

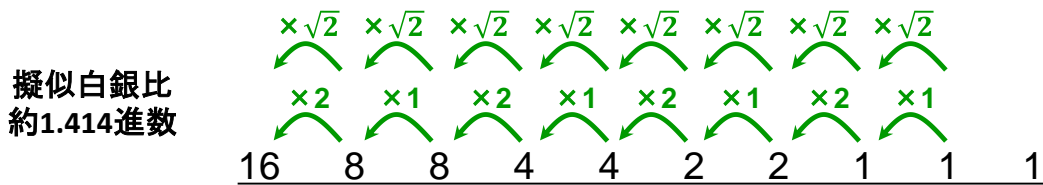


図 5-17 擬似白銀比の導出

5.4.4 擬似白銀比手法の補正効果

擬似白銀比手法の補正効果について図 5-18 に示す。図 5-18 から式(5-9)の条件 ($p(k)=q(k)$) の通りに設計ができていることがわかる。また補正可能範囲に隙間が生じないことにも気づく。擬似白銀比手法で生成される比較電圧重み $p(k)$ は、2 項の和が二進数重みを示すため、オーバーレンジが発生していない。フィボナッチ数列やリュカ数列の黄金比では補正可能範囲の隣のステップとの矢印の先が接することに対して、白銀比は同じステップの補正可能範囲の矢印の先が接することがわかる。

Step		1	2	3	4	5	6	output
Weight $p(k)$		8	2	2	1	1	1	
LEVEL	15							15
	14							14
	13							13
	12							12
	11							11
	10							10
	9							9
	8							8
	7							7
	6							6
	5							5
	4							4
	3							3
	2							2
	1							1
	0							0

図 5-18 擬似白銀比手法の補正効果

5.4.5 擬似白銀比手法の実現における利点

擬似白銀比手法を利用して逐次比較近似型 AD 変換器を実際に冗長設計するときには大きな利点がある。それは逐次比較ロジックの簡略化である。一般的に逐次比較近似型 AD 変換器を冗長設計する際には、図 3-11 のように計算回路やエンコーダ、デコーダを必要とする。しかしながら擬似白銀比ではその必要はない。本項でその理由を示す。

図 5-19 に入力アナログ値 0LSB の 4-bit AD 変換時、二進重みと擬似白銀比重みを利用した際の内部 DA 変換器の入力コード遷移を示す。コードは一つ前のコンパレータの出力の結果で制御されることになるが、図 5-19 から最上位重み $p(1) = 2^{N-1}$ を $2^{N-2} + 2^{N-2}$ の重みとして考えると、二進重みと同様に規則的なコード遷移とみなすことができる。すなわち二進重みで用いられている非冗長の逐次比較レジスタの配線のみを変更すれば実現できることがわかる。

さらに擬似白銀比手法を利用するとエンコーダの設計も容易になる。一般的には逐次比較近似 AD 変換器を冗長設計すると、回路には大規模なエンコーダやデコーダが必要となる。しかしながら擬似白銀比手法を用いると、エンコーダは全加算器を利用するだけでよい。すなわち擬似白銀比手法で利用される比較電圧重み $p(k)$ は、1, 1, 1, 2, 2, 4, 4, 8, 8, ... と二進重みを 2 項ごとに並べるものであるので、図 5-20 のように出力値を全加算することで二進重みへ変更できる。つまりエンコーダ設計には逐次比較レジスタの出力に、(分解能-1)個の全加算器を接続するだけでよい。図 5-19 と図 5-20 を組み合わせると、配線変更と全加算器追加を逐次比較レジスタに行えば、その他の構成要素は非冗長設計と同様に実現できることがわかる。

二進重み		重み $p(k)$			
step	Vref(k)[LSB]	8	4	2	1
1	8	1	0	0	0
2	4	0	1	0	0
3	2	0	0	1	0
4	1	0	0	0	1

擬似白銀比重み		重み $p(k)$							
step	Vref(k)[LSB]	4	4	2	2	1	1	1	1
1	8	1	1	0	0	0	0	0	0
2	6	0	1	1	0	0	0	0	0
3	4	0	0	1	1	0	0	0	0
4	3	0	0	0	1	1	0	0	0
5	2	0	0	0	0	1	1	0	0
6	1	0	0	0	0	0	0	0	1

図 5-19 二進重みと擬似白銀比重みの 4-bit DA 変換器入力

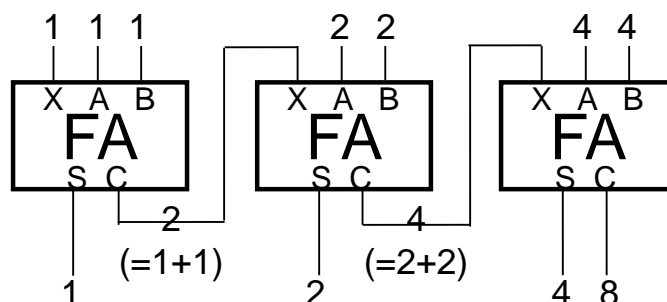


図 5-20 擬似白銀比手法を利用した場合の 4-bit エンコーダ

5.5 DA 変換器の不完全整定時間比較

整数論を用いた場合の不完全整定について理論解析と比較を行う。

5.5.1 フィボナッチ数列を利用した DA 変換器出力不完全整定の理論解析

フィボナッチ数列を用いた冗長設計された逐次比較近似型 AD 変換器の内部 DA 変換器の整定時間について、式(3-7)を用いた理論解析を行う。

フィボナッチ数列手法を利用すると、式(3-7)は式(5-1)から以下の式へと変形できる。

$$T_{\text{settle}}(k) = \tau \ln \left(\frac{F_{M-k+1} + F_{M-k}}{F_{M-k-1}} \right)$$

ここで式(4-1)と式(4-3)のフィボナッチ数列とその性質を利用すると、この式は

$$\begin{aligned} T_{\text{settle}}(k) &= \tau \ln \left(\frac{(F_{M-k} + F_{M-k-1}) + F_{M-k}}{F_{M-k-1}} \right) \\ &= \tau \ln \left(2 \frac{F_{M-k}}{F_{M-k-1}} + 1 \right) = \tau \ln(2\varphi + 1) \end{aligned}$$

となる。すなわちフィボナッチ手法を利用した場合の k -step 目の整定時間は式(5-12)のようになる。

$$T_{\text{settle}}(k) = 1.444\tau \quad (5-12)$$

式(5-12)は、 M が k よりも十分大きければステップ数 k に関係なく一定の整定時間となることを示している。図 5-21 に式(5-12)を説明した図を示す。これは数列と隣接項比率に同様の性質を持つリュカ数列を利用した場合も同様である。これらに対して、従来手法では比較電圧重み $p(k)$ と誤差補正可能な入力範囲差 $q(k)$ に直接的な関係性を持たないため、式(5-12)のような一定の整定時間を実現することができない。

この性質は、整定時間に左右されるクロックの種類数を減らすことに役立つ可能性がある。

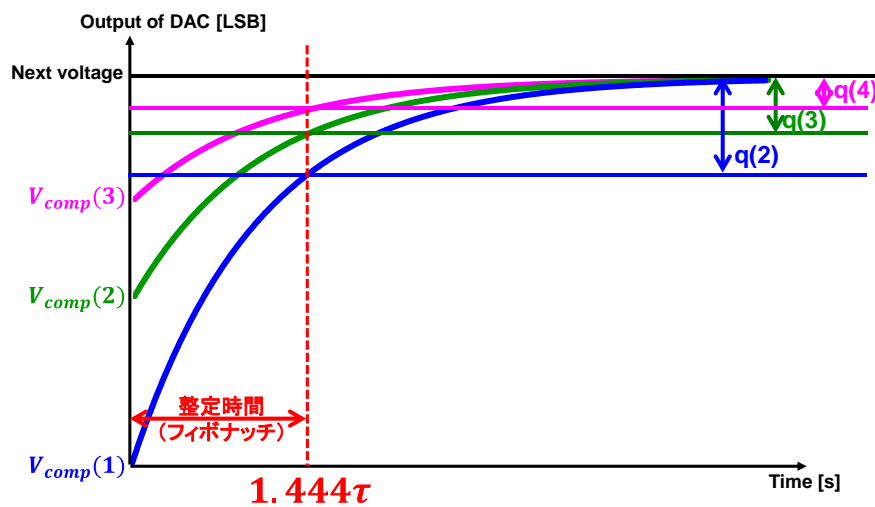


図 5-21 フィボナッチ数列を用いた場合の DA 変換器整定時間

5.5.2 擬似白銀比を利用した DA 変換器出力不完全整定の理論解析

ここでは式(3-7)を利用する不完全整定を使った場合の整定時間の理論式を調べる。ステップ番号 k に依存するので、 k について場合分けして考える。

$2 \leq k \leq M-2$ のとき、式(5-10)を式(3-7)に当てはめると、

$$T_{\text{settle}}(k) = \tau \ln \left(\frac{p(k) + p(k-1)}{p(k)} \right)$$

となる。ここで式(5-10)から隣り合う重みの比率($p(k-1)/p(k)$)は k が奇数なら 1、 k が偶数なら 2 となる。すなわち、

$$\frac{p(k-1)}{p(k)} = \begin{cases} 1 & (k = 2n+1) \\ 2 & (k = 2n) \end{cases}$$

となる。ここで n は $n \geq 0$ を満たす任意の自然数である。

したがって各ステップの整定時間は、 $k = 2n+1$ のとき、

$$T_{\text{settle}}(k) = \tau \ln \left(\frac{p(k) + p(k)}{p(k)} \right) = \tau \ln 2 = 0.6931\tau$$

$k = 2n$ のとき、

$$T_{\text{settle}}(k) = \tau \ln \left(\frac{p(k) + 2p(k)}{p(k)} \right) = \tau \ln 3 = 1.0986\tau$$

となり、 $2 \leq k \leq M-2$ の条件下において、2 種類の整定時間を交互に繰り返すことになる。

$k = 1$ のときは $q(1) = p(1)/2$ なので、次が得られる。

$$T_{\text{settle}}(1) = \tau \ln 2 = 0.6931\tau$$

$M-1 \leq k \leq M$ では補正可能な入力範囲差 $q(k)$ を 0.5LSB とみなして考えることができるので、 $k = M-1$ のとき、

$$T_{\text{settle}}(M-1) = \tau \ln 2^2 = 2 * 0.6931\tau = 1.3862\tau$$

となる。また $k = M$ のとき、

$$T_{\text{settle}}(M) = \tau \ln 3 = 1.0986\tau$$

となる。

以上の結果から擬似白銀比手法の整定時間は 3 種類しか存在しない。さらに $k = M-1$ のときの整定時間は、 0.6931τ の 2 倍であるため、 0.6931τ のクロックを 2 倍する回路を組み込むことができれば、2 種類のクロックのみで不完全整定を十分に利用した回路を実現することができる。一般的に不完全整定を可能にしてもクロックの値によって整定時間が決定されるため、実質 2 種類のクロックのみで実現することができるこの性質は回路設計容易化に大きく貢献できる。

5.5.3 DA 変換器出力不完全整定の比較

DA 変換器出力の各ステップの不完全整定時間の合計値を、式(3-7)を利用して計算し、4-bit、6-bit、8-bit、10-bit で各手法の効果を比較する。図 5-22 のように、回路によって値が変更されてしまう比較判定時間と逐次比較ロジック回路の計算時間は考えていない。

非冗長(二進重み)設計に加えて検討した手法は、基数(Radix)手法、ランダム重み決定手法、フィボナッチ手法、トリボナッチ手法、テトラナッチ手法、X ボナッチ手法、擬似白銀比手法の全 8 手法である。ここでランダム重み決定手法は時間がかかりすぎる総当り手法の代用として利用しており、乱数を用いて 10000 通りの重み付けを試し、最も整定時間合計値が短い結果を使っている。また基数(Radix)手法は基数刻みを 0.01 とし(1.00, 1.01, ..., 1.99 と選択していく)、最も整定時間合計値が小さい基数を利用した結果を使う。

またクロックの種類数に対する依存も検討した。例えば、クロック周期の種類が 1 種類であれば固定クロックを各ステップの整定に利用することになり、最も整定に時間がかかるステップの整定時間の総ステップ数倍が整定時間合計値となる。ここでは 1 種のクロック周期(固定クロック)、2 種・3 種・4 種・5 種のクロック周期、無限種類のクロック周期(可変クロック)を利用した場合を調査した(図 5-23)。

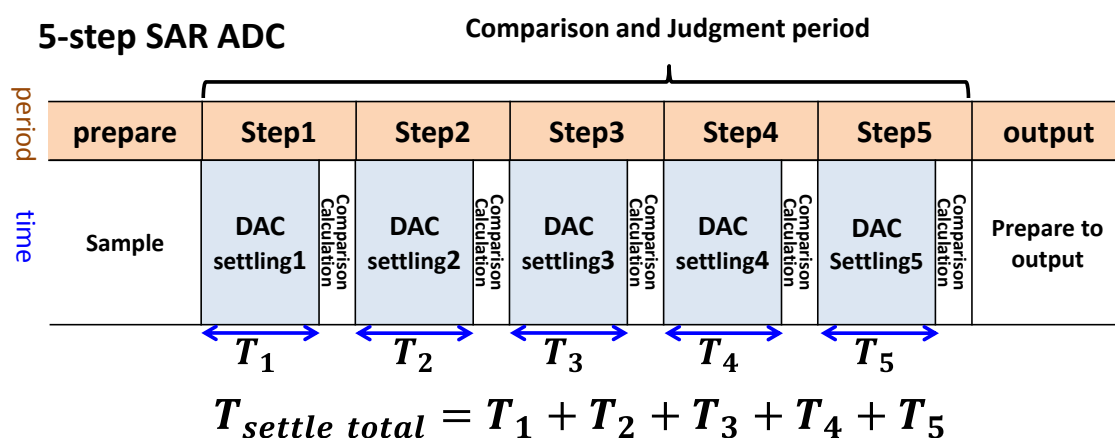


図 5-22 不完全整定時間の合計値

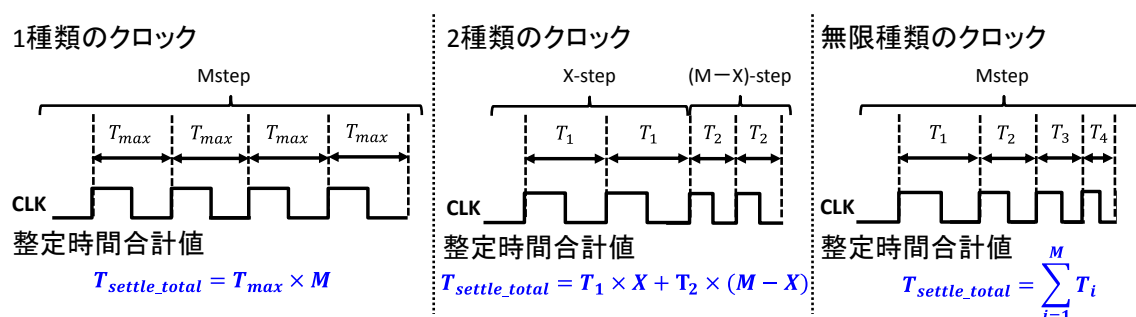


図 5-23 複数のクロック周期を利用する場合の整定時間合計値の計算方法

8-bit の AD 変換器における調査結果を図 5-24 に示す。また具体的な数値を表 5-1 に示す。図 5-24 と表 5-1 から、コンピュータやシミュレータの力に頼り、たくさんの比較電圧重み $p(k)$ の組み合わせを試行するランダム手法を用いた場合が効果を出しやすいことがわかる。無論、総当り手法(やその代りのランダム手法)を利用できる場合は整数論を利用した比較電圧重み $p(k)$ を含むすべての可能性を試行するので、最短になる整定時間が出る(ただし分解能が大きくなるほど総当り手法の比較電圧重み $p(k)$ の組み合わせが増えるため、シミュレーション時間の大幅な増大が必要となることを留意する必要がある)。

しかしながらここで、本シミュレーションでランダム手法が全組み合わせを試行できていないことに注意しつつ、フィボナッチ手法と擬似白銀比手法を利用する場合の整定時間について検討したい。

まず固定クロック(1 種類のクロック周期)においてフィボナッチ数列を利用した場合であるが、非冗長(二進重み)手法と比較した場合の整定時間削減比率でランダム手法と 0.7%しか差がない。またフィボナッチ手法の逐次比較近似型 AD 変換器を、黄金比 DA 変換器で実現することができれば回路構成等でメリットがある。そのため、固定クロックにおいては、コンピュータの力に頼ることなく、回路構成等にメリットを持ち、同等の整定時間を実現することのできるフィボナッチ手法に優位性が存在する。

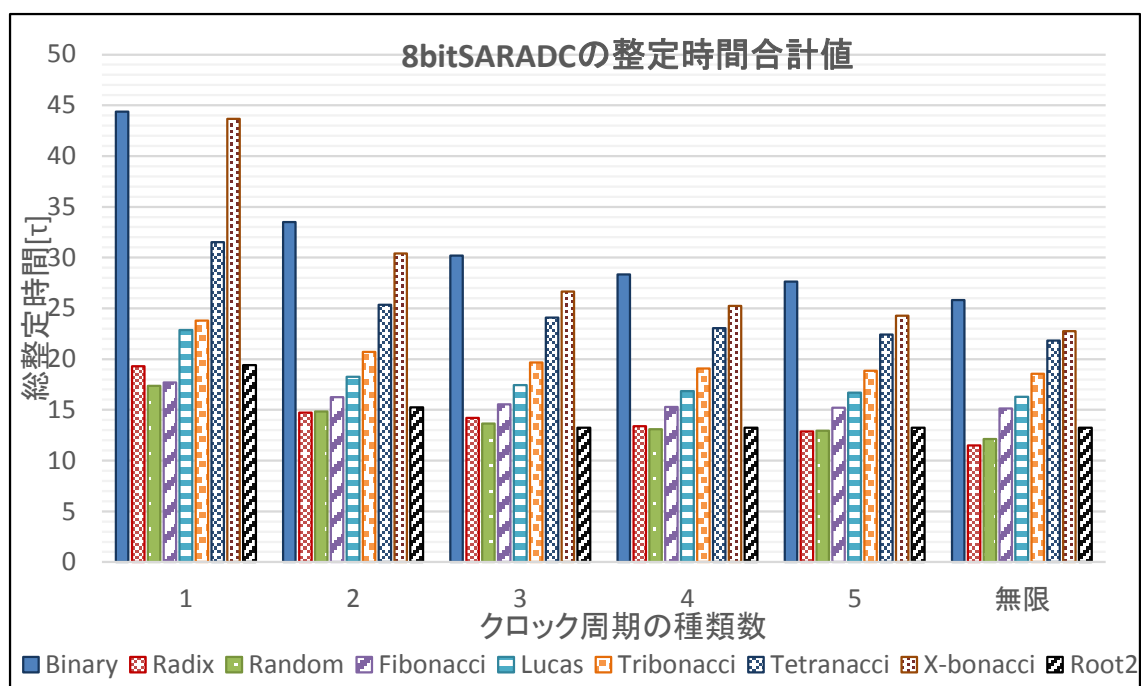


図 5-24 8-bit の整定時間合計値

次に3種のクロック周期を用いる場合においては、擬似白銀比手法が最も高速な整定を実現していることがわかる。8-bitの変換で3種のクロック周期を利用した場合、整定時間合計値は非冗長手法(二進重み)利用の場合から56.2%短縮、ランダム決定手法の場合から5.0%短縮することができた。前節で示したとおり、実際には2種類のクロック周期で実現できることも考慮すると、他手法に対して変換速度に優位性を持つことがわかる。またここでランダム決定手法の利用において、3種のクロック周期では擬似白銀比手法よりも整定時間合計値を短くできたことはないこと、そして同じ整定時間となった場合は擬似白銀比手法と同様の比較電圧重み $p(k)$ となったことも加えて報告しておく。これはすなわち、3種類のクロック周期を利用する場合、擬似白銀比手法がすべての種類の重み付けの中で最も高速化できる手法である可能性が高いことを示している。2種のクロックと逐次比較ロジック回路の簡単な変更で、最速の整定時間を実現できる、擬似白銀比手法は大きな優位性があると言える。

分解能が大きくなるほど比較電圧重み $p(k)$ の設計は難しくなるが、フィボナッチ手法や擬似白銀比手法は分解能によって比較電圧重み $p(k)$ の決定が難しくなることはないの
で、整定時間と設計の容易さに優位性を持つ提案手法は有効であると言える。

表 5-1 各手法の整定時間合計値詳細

分解能	クロック周期の種類	整定時間合計値[τ]								
		Binary	Radix	Random	Fibonacci	Lucas	Tribonacci	Tetranacci	X-bonacci	Root2
4bit	1	11.09	8.05	8.05	8.05	10.40	10.40	10.40	10.40	8.32
	2	8.76	6.88	6.88	7.03	8.44	8.32	8.32	8.32	6.88
	3	8.19	6.07	6.07	6.58	7.97	7.50	7.50	7.50	6.07
	4	7.68	5.99	5.99	6.58	7.83	7.27	7.27	7.27	6.07
	5	7.68	5.89	5.89	6.58	7.71	7.27	7.27	7.27	6.07
	無限	7.68	5.82	5.82	6.58	7.71	7.27	7.27	7.27	6.07
6bit	1	24.95	14.48	12.48	12.88	16.64	18.15	19.83	24.26	13.86
	2	19.07	11.09	10.75	11.76	13.76	15.50	14.94	16.83	11.09
	3	17.20	10.23	9.65	11.14	12.79	14.49	13.92	15.48	9.65
	4	16.54	9.50	9.42	10.90	12.42	14.08	13.28	14.54	9.65
	5	15.90	9.38	9.30	10.87	12.27	13.86	13.06	13.91	9.65
	無限	15.39	8.69	8.91	10.87	12.03	13.59	13.00	13.69	9.65
8bit	1	44.36	19.31	17.36	17.70	22.87	23.77	31.53	43.67	19.41
	2	33.51	14.72	14.86	16.24	18.27	20.70	25.35	30.39	15.25
	3	30.21	14.21	13.66	15.54	17.46	19.68	24.08	26.63	13.24
	4	28.32	13.40	13.11	15.30	16.84	19.08	23.05	25.25	13.24
	5	27.64	12.87	12.94	15.22	16.68	18.86	22.42	24.28	13.24
	無限	25.81	11.49	12.14	15.14	16.30	18.56	21.82	22.75	13.24
10bit	1	69.31	24.14	22.18	22.53	27.03	29.07	38.85	68.62	24.95
	2	52.14	19.11	19.30	20.58	21.28	25.82	32.34	48.19	19.41
	3	46.71	17.75	17.81	19.89	20.45	24.80	30.72	41.85	16.82
	4	44.08	16.89	17.10	19.70	20.09	24.18	29.70	39.12	16.82
	5	42.20	16.18	16.60	19.56	19.94	23.96	29.06	37.74	16.82
	無限	38.99	14.27	15.53	19.41	19.61	23.58	28.39	34.54	16.82

第 6 章 結論

本論文では、車載用や産業機器用として注目を集める逐次比較近似型 AD 変換器の高性能化を狙い、時間冗長を取り入れる冗長設計について検討した。変換原理まで立ち返った理論解析を行い、冗長設計による信頼性向上と変換時間短縮の効果は適切な比較電圧重み $p(k)$ に依存しており、適切な比較電圧重み $p(k)$ の決定手法が必要なことを示した。従来の比較電圧重み決定手法には様々な問題点があるため、整数を取り扱う必要のある AD 変換器において整数論を利用した比較電圧重み $p(k)$ の決定手法の提案を、主にフィボナッチ数列(黄金比)と擬似白銀比で行った。

一定比率(黄金比)を整数のみで実現可能であるという考えのもと、フィボナッチ数列を用いた冗長設計で以下の結果を得た。

◆ 高信頼性変換の実現

「 k -step 目の補正可能範囲は $(k-1)$ -step 目の補正可能範囲と重なることなく必ず接する」という性質に従って、広い入力範囲を必ず補正することが可能である。

◆ 基数の基準の発見

「 k -step 目の補正可能範囲は $(k-1)$ -step 目の補正可能範囲と重なることなく必ず接する」という性質は、黄金比 φ が基数の大きさの境界であることを示す。

◆ 一定の整定時間

整定時間は式(5-12)に従い、ステップ数 k の値にかかわらず一定を示す。

$$T_{\text{settle}}(k) = 1.444\tau \quad (5-12)$$

このことはクロック周期の種類数削減に利用できる。

◆ 固定クロックにおける高速変換

固定クロックを利用した場合の総整定時間は、非冗長に対する整定時間削減比率が総当たり手法と 1%以下の差しか持たないため、ほぼ最短の整定時間となる。

◆ 黄金比 DA 変換器による回路簡略化

R-R 抵抗ラダー回路を利用することで、フィボナッチ数重みの電圧を出力できる DA 変換器を設計することができる。このことは回路構成の簡略化に役立つ可能性がある。

以上から、固定クロックを利用する場合はフィボナッチ手法によって比較電圧重み $p(k)$ を決定すれば高速で高信頼性な変換を簡単な回路で実現することができると言える。

また、整定時間を極限まで短縮するという考えのもと、擬似白銀比を用いた冗長設計で以下の結果を得た。

◆ **高信頼性変換の実現**

入力補正範囲に隙間が存在せず、すべての比較判定ステップで補正力が高い。

◆ **2種のクロック周期で実現できる不完全整定**

整定時間には 0.6931τ 、 1.0986τ 、 1.3862τ しか存在せず、 $1.3862\tau=0.6931\tau \times 2$ であるために実質 2 種類のクロック周期で不完全整定を実現することができる。

◆ **2種・3種クロックにおける最速の変換**

2種・3種のクロック周期を利用した場合の総整定時間は、すべての手法で最短の整定時間となる。

◆ **逐次比較ロジック回路のみの変更による実現**

エンコーダが全加算器のみで実現できることに加え、比較電圧重み $p(k)$ の制御においても非冗長手法(二進重み利用)と同様の動作をとるため、逐次比較ロジックのみの変更によって効果を発揮することができる。

以上から、2種・3種のクロック周期を利用する場合は擬似白銀比手法によって比較電圧重み $p(k)$ を決定すれば高速変換を簡単な回路で実現することができると言える。

分解能の増大に伴い比較電圧重み $p(k)$ の設計時間と設計難度が大幅に上昇する問題が存在した。本研究によって発見された数々の性質やその結果は、その優位性を示すだけでなく、従来手法の問題解決や理論解析に貢献したと言える。

整数論の AD/DA 変換器への応用は世界でも研究はほとんどない。したがって本研究の試みは未知の世界であり、本論文の結果のような結果や性質を発見できる可能性はまだまだ十分にある。今後の課題の 1 つはそれらを探し、応用することであると言える。

付録

付録として本論文で取り扱った冗長設計の詳細な理論解析を行う。

I. なぜ DA 変換器出力が補正可能範囲に入ると判定を行うことができるのか。

第 3 章において、不完全整定を行う際に補正可能範囲に DA 変換器の出力値が入れば、DA 変換器出力整定を終了し比較を開始して良いと示した。これが不完全整定の原理であり、整定時間を減らすことができる考え方である。この原理について示す。

補正可能範囲は式(3-4)から決定される誤差補正可能な入力範囲差 $q(k)$ によって決定され、 $q(k)$ を含む式(3-5)が満たされれば後段での補正が可能となる。すなわち入力値と比較されるべき比較電圧の差が $q(k)$ よりも小さければ、その判定は後段でデジタル誤差補正できることになる。そしてこのことはその判定の結果が High でも Low でもどちらでも良いことを示している。

ここで図 A-1 に不完全整定に関する図を示す。図 A-1 は 2-step 目の判定に利用する比較電圧生成の過程を示したものである。完全整定を行った場合は DA 変換器出力が 26LSB で、不完全整定を行った場合は DA 変換器出力が 25LSB で判定を行うこととなる。コンパレータの判定結果は入力値と DA 変換器の出力値の比較によるため、完全整定と不完全整定で出力結果が反転する場合の入力値は図 A-1 のように 25 LSB ~ 26 LSB の間に存在することになる。図 A-1 から入力値は式(3-5)を満たし、後段で補正可能なのでこの判定結果は High でも Low でも良い。すなわち判定を開始しても良い。この例のように補正可能範囲に DA 変換器出力値が入ると、完全整定による出力値の変化が関係なくなるため不完全整定を利用することができる。

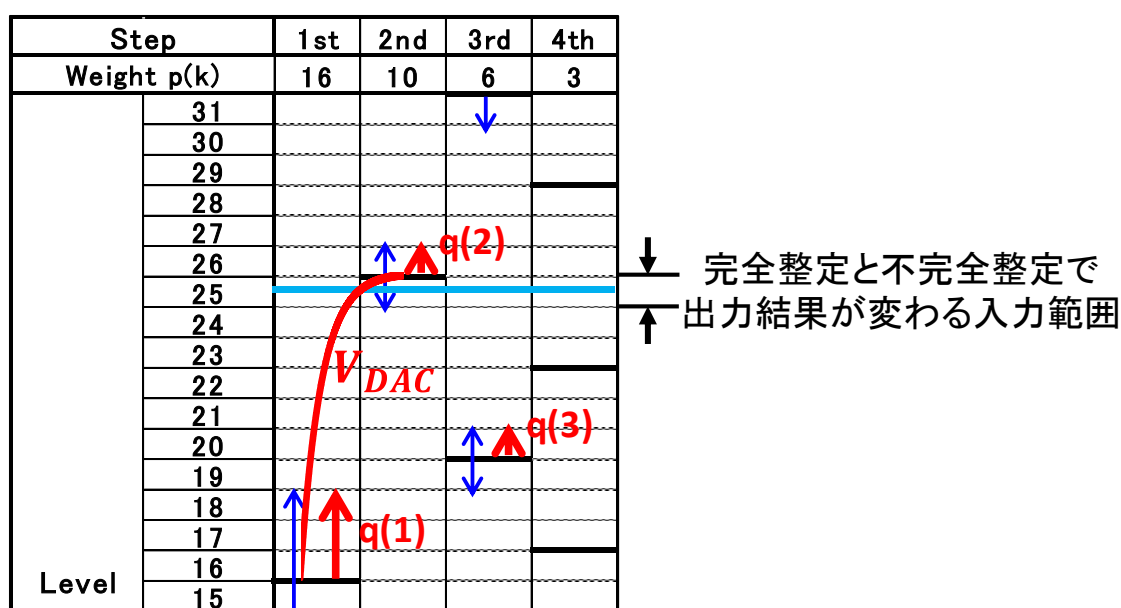


図 A-1 不完全整定の実現

II. 補正効果と高速整定はトレードオフの関係にあるのか。

補正効果と高速整定がトレードオフの関係にあるかを調べるために、整定時間を長くすれば補正効果が大きくなるのか(不完全整定を利用すると補正効果が小さくなるのか)を検討する。図 A-2 は整定時間の大小によって判定結果が変わる入力値の AD 変換における、2-step 目の判定の不完全整定の有無とそれによる判定結果の正誤の組み合わせを示したものである。図 A-2 からすべてのパターンで後段での補正が可能であることがわかる。すなわち冗長設計を行う限り常に補正効果が発揮されており、その効果は整定時間の大小に関係がないことがわかる。これは整定時間の大小で出力値が反転する入力値では、そのステップの出力結果がどちらでも良くなるためである。以上から補正効果と高速整定はトレードオフの関係にないため、不完全整定を利用する方が有利であることがわかる。

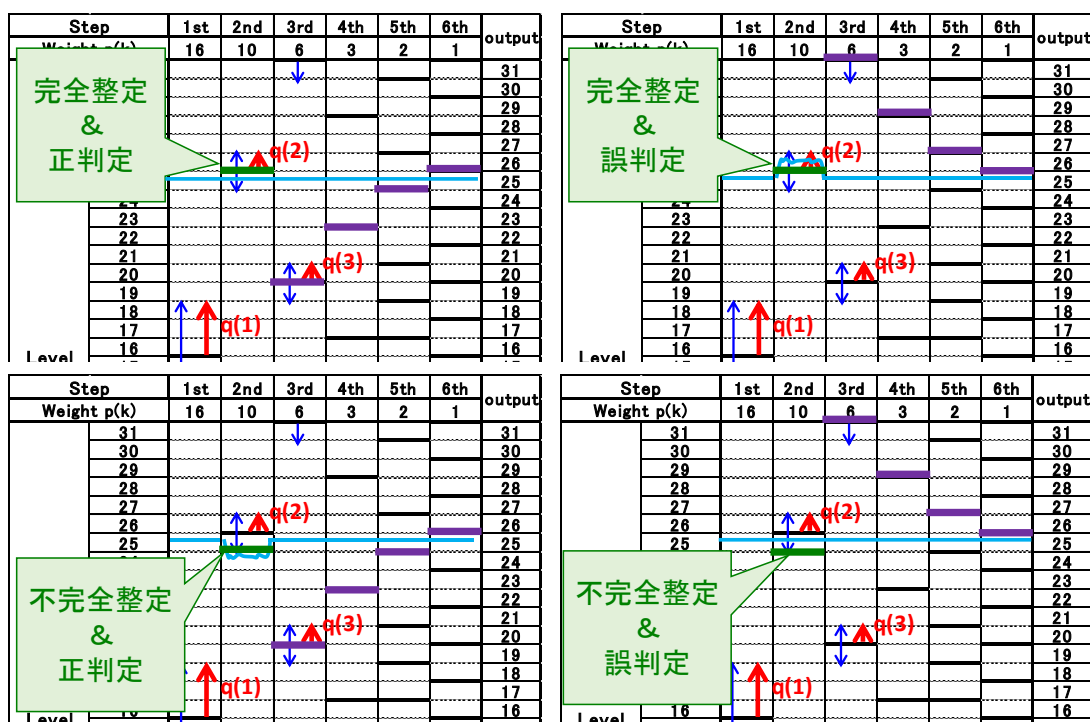


図 A-2 整定時間の大小による補正効果検証

謝辞

本研究を進めるにあたり、群馬大学理工学府小林春夫教授より数々のご指導、ご鞭撻賜りましたことをここに厚く御礼申し上げます。3年間でいただいた懇切丁寧なご助言は本研究を適切な方向に導いてくださり、こうした成果を得ることができました。また研究発表や技術研修、講演会など様々な機会を何度もくださり、多くの面で成長することができました。心より感謝いたします。

また石川信宣技官には、研究や生活を進める上での様々なアドバイスやサポートをいただきました。深く感謝いたします。群馬大学理工学府高井伸和准教授には、電子回路の基礎や設計等の考え方をご指導いただきました。また研究室のシミュレータ等の管理もしてくださりました。ここに感謝いたします。鶴岡工業高等専門学校加藤健太郎准教授には1年間の間、研究とその進め方に対する知識、データコンバータやコンピュータやプログラムの基礎をご教授いただきました。心より感謝いたします。また本研究の主査をしてくださった伊藤直史先生に、心より御礼申し上げます。

客員教授であられる浅見幸司先生には、黄金分割法などの研究の根幹となる有意義なご助言を数多くいただきました。深く感謝いたします。同じく客員教授であられる三木隆博先生にはデータコンバータの基礎を何度もご指導いただきました。感謝申し上げます。また客員教授であられる青木均先生、落合政司先生、恩田謙一先生、小堀康功先生、畠山一実先生には授業や講演会等で様々な電子回路の基礎をご教授いただきました。心より御礼申し上げます。

さらに本研究は半導体理工学研究センター(STARC : Semiconductor Technology Academic Research Center)にサポートいただき、特に松浦達治氏、山口隆弘氏、辻将信氏、梅田定美氏、土橋則亮氏、塩田良治氏、渡邊雅史氏、荒川隆彦氏、中村英之氏には多くの有意義なご意見をいただきました。深く感謝いたします。ルネサスエレクトロニクスの皆様には交流会において有意義な議論を頂きました。深く感謝いたします。また数々の学会や交流会、イベントでは多くの方々からご助言をいただきました。ここに感謝いたします。

研究や生活において数多くご指導くださった諸先輩方、特に安部文隆氏、平林大樹氏、新井薫子氏、村上正紘氏、シャイフルニザムビンモヤー氏、さらに本研究に一緒に取り組んだ荒船拓也氏、澁谷将平氏に深く感謝いたします。そして支えあいながら3年間を一緒に研究することのできた王俊善、香積正基、神山雅貴、姜日晨、中條剛志、戸塚拓也、王鋭、加藤雅人、白石尚也、関洋明の諸氏に心より感謝いたします。

研究初期より成功と発展の可能性が小さい提案であると指摘され、一時は“趣味”とまで形容された本研究は、打ち切られそうになりながらも数多くの人々に支えられ、たくさんの成果を残すことができました。そしてこの研究成果で4回の受賞を成し遂げることができました。本研究を支えてくださった全ての人に心より感謝申し上げます。誠にありがとうございました。

参考文献

- [1] F.Kuttner, "A 1.2V 10b 20MSample/s non-binary successive approximation ADC in 0.13 μ m CMOS," Tech. Digest of ISSCC, (Feb. 2002)
- [2] M. Hotta, A. Hayakawa, N. Zhao, Y. Takahashi, H. Kobayashi, "SAR ADC Architecture with Digital Error Correction", IEEJ International Analog VLSI Workshop, Hangzhou, China (Nov. 2006).
- [3] M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, H. Wenske, "A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13 μ m CMOS," Tech. Digest of ISSCC (Feb. 2007).
- [4] S. Shimokura, M. Hotta, Y. Takahashi, N. Zhao, H. Kobayashi, "Conversion Rate of SAR ADC with Digital Error Correction". IEEJ International Analog VLSI Workshop, Limerick, Ireland (Nov. 2007).
- [5] Tomohiko Ogawa, Haruo Kobayashi, Masao Hotta, Yosuke Takahashi, Hao San, Nobukazu Takai "SAR ADC Algorithm with Redundancy", IEEE Asia Pacific Conference on Circuits and Systems, Macao, China, pp.268-271 (Dec. 2008).
- [6] Tomohiko OGAWA, Haruo KOBAYASHI, Satoshi UEMORI, Youhei TAN, Satoshi ITO, Nobukazu TAKAI, Takahiro J. YAMAGUCHI, "Fast Testing of Linearity and Comparator Error Tolerance of SAR ADCs," IEEJ International Analog VLSI Workshop, Chiangmai, Thailand (Nov. 2009).
- [7] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori : "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, (Feb. 2010).
- [8] Tomohiko Ogawa, Haruo Kobayashi, Youhei Tan, Satoshi Ito, Satoshi Uemori, Nobukazu Takai, Kiichi Niitsu, Takahiro J. Yamaguchi, Tatsuji Matsuura, Nobuyoshi Ishikawa "SAR ADC That is Configurable to Optimize Yield," IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [9] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, pp.415- 423 (Feb. 2010).
- [10] M. Hotta, M. Kawakami, H. Kobayashi, H. San, N. Takai, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Architecture with Digital Error Correction", IEEJ Trans. Electrical and Electronic Engineering, vol.5, no.6, pp.651-659 (Nov. 2010).
- [11] Tomohiko Ogawa, Haruo Kobayashi, Nobukazu Takai, Masao Hotta, Hao San, Tatsuji Matsuura, Akira Abe, Katsuyoshi Yagi, Toshihiko Mori, "Non-binary SAR ADC with Digital Error Correction for Low Power Applications," IEEE Asia Pacific

- Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [12] T. Okazaki, D. Kanemoto, R. Pokharel, K. Yoshida, H. Kanaya : “A design technique for a high-speed SAR ADC using non-binary search algorithm and redundancy”, Asia-Pacific Microwave Conference (Nov. 2013)
 - [13] T. Okazaki, D. Kanemoto, R. Pokharel, K. Yoshida, H. Kanaya : “A Design Methodology for SAR ADC Optimal Redundancy Bit”, IEICE Electronics Express, Vol.11, No.10, (Apr. 2014)
 - [14] 小川智彦、小林春夫、高橋洋介、堀田正生、「冗長性をもった逐次比較近似AD変換アルゴリズム」、電子情報通信学会 回路とシステム研究会、東京 (2007 年 10 月)。
 - [15] 小川智彦、小林春夫、高橋洋介、傘昊、堀田正生、「冗長性をもった逐次比較近似AD変換アルゴリズム-コンパレータ 2 個の場合-」、電気学会 電子回路研究会 (ECT-08-25) 豊橋 (2008 年 3 月)。
 - [16] 小川 智彦、小林 春夫、高橋 洋介、傘 昊、堀田 正生、「冗長性をもった逐次比較近似AD変換アルゴリズム-3 個の比較器を持つ場合-」、電子情報通信学会、第 21 回 回路とシステム (軽井沢) ワークショップ (2008 年 4 月)。
 - [17] 小川 智彦、小林 春夫、堀田 正生、高橋 洋介、傘 昊、高井 伸和「SAR ADC Algorithm with Redundancy and Digital Error Correction」電子情報通信学会、第 22 回回路とシステム (軽井沢) ワークショップ (2009 年 4 月)
 - [18] 小川 智彦、小林 春夫、伊藤 聡志、上森 聡史、丹 陽平、高井 伸和、山口 隆弘「冗長アルゴリズム SAR ADC のテスト容易化技術」電子情報通信学会、第 23 回回路とシステム (軽井沢) ワークショップ (2010 年 4 月)。
 - [19] T. Koshy: “Fibonacci and Lucas Numbers with Applications”, John Wiley & Sons, Inc. (2001).
 - [20] A. S. Posamentier, I. Lehmann(著), 松浦俊輔(訳):「不思議な数列フィボナッチの秘密」, 日経 BP 社 (2010 年 8 月)。
 - [21] 中村滋(著):「フィボナッチ数の小宇宙」, 日本評論社 (2002 年 9 月)。
 - [22] 渡邊泰治(著):「黄金比の謎 美の法則を求めて」, 株式会社化学同人(2007 年 3 月)
 - [23] マリオ・リヴィオ(著), 斉藤隆夫(訳):「黄金比はすべてを美しくするか? 最も謎めいた「比率」をめぐる数学物語」, 早川書房(2008 年 6 月)
 - [24] キース・ボール(著), 佐藤かおり、佐藤宏樹(訳):「フィボナッチのうさぎ」, 青土社(2006 年 12 月)
 - [25] 秋山清(著):「神の図形」, コスモ 21(2012 年 7 月)
 - [26] スコット・オルセン(著), 藤田優里子(訳):「黄金比 自然と芸術にひそむもっとも不思議な数の話」, 創元社(2014 年 7 月)
 - [27] ミランダ・ランディ(著), 駒田曜(訳):「幾何学の不思議 遺跡・芸術・自然に現れたミステリー」, 創元社(2014 年 7 月)

- [28] 桜井進(著):「雪月花の数学」, 詳伝社(2007 年 7 月)
- [29] STARC 教育推進室 浅田邦博・松澤昭 共著 アナログ RF CMOS 集積回路設計[応用編]
- [30] STARC 教育推進室 浅田邦博・松澤昭 共著 アナログ RF CMOS 集積回路設計[基礎編]
- [31] 谷口研二(著):「LSI 設計者のための CMOS アナログ回路入門」, CQ 出版社
- [32] 松井邦彦(著):「A-D コンバータ活用成功のかぎ」, CQ 出版社
- [33] 名倉徹(著):「LSI 設計常識講座」, 東京大学出版会

研究成果

論文・発表

- [1] 小林 佑太朗、荒船 拓也、渋谷 将平、小林 春夫、「疑似白銀比重み付け逐次比較近似 AD 変換器の検討」,電気学会電子回路研究会, ECT-16-044, 東京都市大学 (2016 年 3 月 8 日).
- [2] 小林佑太朗「フィボナッチ数列を用いた ADC/DAC の冗長設計検討」, 第 60 回システム LSI 合同ゼミ, 中央大学 (2015 年 6 月 27 日)
- [3] 小林佑太朗,小林春夫「整数論を用いた高速・高信頼性逐次比較近似 AD 変換アルゴリズム設計」STARC シンポジウム、学生ポスターセッション、横浜(2015 年 1 月 30 日)
- [4] 小林佑太朗、小林春夫「逐次比較近似 ADC の整数論に基づく冗長アルゴリズム設計」電気学会電子回路研究会,島根 (2014 年 7 月 3-4 日)
- [5] ETT-14-28, ETG-14-28, 小林佑太朗, 小林春夫(群馬大学),「黄金分割法を用いた SAR ADC 冗長設計」第 4 回 電気学会 東京支部 栃木・群馬支所 合同研究発表会 (2014 年 3 月 3-4 日)
- [6] 小林佑太朗、香積正基、楊志翔、小林春夫、「ADC/DAC のフィボナッチ数列を用いた冗長性設計の検討」,電気学会電子回路研究会、奈良(2013 年 10 月 3-4 日).
- [7] Yutaro Kobayashi, Haruo Kobayashi, “Redundant SAR ADC Algorithm Based on Fibonacci Sequence”, Advanced Micro-Device Engineering VI, Key Engineering Materials (2016).
- [8] Yutaro Kobayashi, Shohei Shibuya, Takuya Arafune, Shu Sasaki, Haruo Kobayashi, “SAR ADC Design Using Golden Ratio Weight Algorithm”, The 15th International Symposium on Communications and Information Technologies (ISCIT 2015), Special Session: Emerging Techniques in ADC and Receiver Circuit for Wireless Communication, Nara, Japan (Oct. 2015).
- [9] Yutaro Kobayashi, Haruo Kobayashi, “SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence”, The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014).
- [10] P095, “Redundant SAR ADC Algorithm Based on Fibonacci Sequence” Yutaro Kobayashi and Haruo Kobayashi, Gunma University, Japan, AMDE2014.
- [11] P77, “ADC/DAC Redundancy Design Using Fibonacci Sequence”, Yutaro Kobayashi, Masaki Kazumi, Yang Zhixiang, Haruo Kobayashi, Gunma University, Japan, AMDE2013.
- [12] 安部文隆, 澁谷将平, 小林佑太朗, 佐々木秀, 東野将史, 荒船拓也, 小林修, 小林春夫「任意波形発生器を用いた低歪信号発生技術の理論解析と実験検証」電気学会電子回

- 路研究会, ECT-15-007, 高知(2015 年 1 月 22 日)
- [13] 荒船拓也, 澁谷将平, 小林佑太朗, 小林春夫「フィボナッチ数列重み付け SAR ADC のための DAC の検討」電気学会電子回路研究会 ECT-15-061 横須賀 (2015 年 7 月 3 日)
 - [14] 澁谷将平、荒船拓也、小林佑太朗、小林春夫「黄金比重み付け DA 変換器の検討」, 電子情報通信学会, 第 40 回アナログ RF 研究会, 東京工業大学 大岡山(2015 年 6 月 25 日)
 - [15] ETT-15-65, ETG-15-65, 「AWG を用いた低歪高周波信号生成アルゴリズム」, 澁谷将平, 小林佑太朗, 安部文隆, 小林春夫 (群馬大学)
 - [16] 澁谷将平、小林佑太朗、荒船拓也、小林春夫、「黄金比重み付け DA 変換器の構成」, STARC フォーラム 2015 学生ポスターセッション No.8, 新横浜 (2015 年 11 月 27 日)
 - [17] 加藤健太郎, 李从兵, 李恩思, 王俊善, 小林佑太朗, 小林春夫「時間ディジタルのストカスティックキャリブレーションのシミュレーション解析」電気学会電子回路研究会, ECT-14-005, 金沢 (2014 年 1 月 23 日)
 - [18] 中條剛志, 平林大樹, 加藤健太郎, 李从兵, 李恩思, 小林佑太朗, 王俊善, 佐藤幸志, 小林春夫 「フラッシュ型タイムディジタル回路のヒストグラム法による自己校正の実験検証」, 電気学会電子回路研究会, ECT-14-006, 金沢 (2014 年 1 月 23 日)
 - [19] 王俊善、加藤健太郎、李从兵、李恩思、小林佑太朗、中條剛志、平林大樹、小林春夫「タイミング測定用回路のデジタル自己校正と FPGA 実現」第 7 1 回 FTC 研究会、東京 (2014 年 7 月 17 日-19 日)
 - [20] ETT-14-76, ETG-14-76 王俊善 (群馬大学), 加藤健太郎 (鶴岡工業高等専門学校), 李从兵, 李恩思, 小林佑太朗, 中條剛志, 平林大樹, 小林春夫 (群馬大学)「時間ディジタル回路の自己校正技術の研究」
 - [21] ETT-14-77, ETG-14-77 中條剛志, 平林大樹 (群馬大学), 加藤健太郎 (鶴岡高等専門学校), 李从兵, 李恩思, 小林佑太朗, 王俊善 (群馬大学), 佐藤幸志 (光サイエンス), 小林春夫 (群馬大学), 「フラッシュ型タイムディジタル回路の線形性自己校正の実験検証」
 - [22] ETT-14-82, ETG-14-82 楊志翔, 小林佑太朗, シャイフルニザムビンモーヤ, 小林春夫 (群馬大学), 「フィボナッチ数列を用いた DA 変換回路アーキテクチャ」
 - [23] Takeshi Chujo, Junshan Wang, Daiki Hirabayashi, Congbing Li, Yutaro Kobayashi, Kentaroh Katoh, Haruo Kobayashi, Masanobu Tsuji, Koshi Sato “FPGA Evaluation of Flash-type TDC With Histogram Method for Linearity Self-Calibration,” Advanced Micro-Device Engineering VI, Key Engineering Materials (2016).
 - [24] Takuya Arafune, Yutaro Kobayashi, Shohei Shibuya, Haruo Kobayashi “Fibonacci Sequence Weighted SAR ADC Algorithm and its DAC Topology,” IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 3-6, 2015).
 - [25] Shohei Shibuya, Yutaro Kobayashi, Haruo Kobayashi, “High-Frequency

- Low-Distortion Signal Generation Algorithm with Arbitrary Waveform Generator,” IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 3-6, 2015).
- [26] Haruo Kobayashi, Tomoaki Shirao, Jun Horikoshi, Kazuyuki Imamura, Nobuyoshi Ishikawa, Nobukazu Tsukiji, Yutaro Kobayashi, Takuya Arafune, “Fusion of Biology, Brain Science and Information Communication Technology”, 2nd International Symposium of Gunma University Medical Innovation (GUMI2015), Maebashi (Dec. 8, 2015).
- [27] Shohei Shibuya, Yutaro Kobayashi, Haruo Kobayashi “High-Frequency Low-Distortion Signal Generation Algorithm Using Phase-Switching Method”, 11th RASEDA and 7th AMDE.
- [28] Kentaroh Katoh, Yutaro Kobayashi , Takeshi Chujo , Junshan Wang, Ensi Li, Congbing Li, Haruo Kobayashi, “A Small Chip Area Stochastic Calibration for TDC Using Ring Oscillator”, Journal of Electronic Testing: Theory and Applications, vol.30, issue 6, pp.653-663, Springer (Dec. 2014).
- [29] Takeshi Chujo, Daiki Hirabayashi, Kentaroh Katoh, Congbing Li , Yutaro Kobayashi, Junshan Wang, Koshi Sato, Haruo Kobayashi, “Experimental Verification of Timing Measurement Circuit With Self-Calibration”, IEEE International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW'14).
- [30] Fumitaka Abe, Yutaro Kobayashi, Kenji Sawada, Keisuke Kato, Osamu Kobayashi, Haruo Kobayashi, “Low-Distortion Signal Generation for ADC Testing,” IEEE International Test Conference, Seattle, WA (Oct. 2014).
- [31] Junshan Wang, Kentaroh Katoh, Congbing Li, Ensi Li, Yutaro Kobayashi, Takeshi Chujo, Daiki Hirabayashi, Haruo Kobayashi, “Digital FPGA Implementation of TDC With Self-Calibration”, The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014).
- [32] Takeshi Chujo, Daiki Hirabayashi, Kentaroh Katoh, Congbing Li, Yutaro Kobayashi, Junshan Wang, Koshi Sato, Haruo Kobayashi, “FPGA Evaluation of Flash-type TDC With Histogram Method Self-Calibration”, The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014).
- [33] P084, “Pure Sine Signal Generation With Arbitrary Waveform Generator” Fumitaka Abe, Shohei Shibuya, Yutaro Kobayashi, Shu Sasaki, Masashi Higashino, Takuya Arafune, Osamu Kobayashi and Haruo Kobayashi, Gunma University, Semiconductor Technology Academic Research Center, Japan, AMDE2013.

- [34] P091, “Digital FPGA Implementation of TDC With Self-Calibration” Junshan Wang, Kentaroh Katoh, Congbing Li, Ensi Li, Yutaro Kobayashi, Takeshi Chujo, Daiki Hirabayashi and Haruo Kobayashi, Gunma University, Tsuruoka National College of Technology, Japan, AMDE2014.
- [35] P104, “DAC Architecture with Fibonacci Sequence Weighted Current Sources” Zhixiang Yang, Yutaro Kobayashi, Shaiful Nizam Mohyar, Masaki Kazumi, Haruo Kobayashi Gunma University, Japan, AMDE2013.

受賞歴

1. 平成 26 年 3 月 電気学会 東京支部 電気学術奨励賞
2. 平成 26 年 9 月 電気学会 電子・情報・システム部門 研究会奨励賞 「ADC/DAC のフィボナッチ数列を用いた冗長性設計の検討」
3. 平成 27 年 1 月 STARC シンポジウム 2015 最優秀ポスター賞 「整数論を用いた高速・高信頼性逐次比較近似 AD 変換アルゴリズム設計」
4. 平成 27 年 12 月 電気学会 電子・情報・システム部門 技術委員会奨励賞 「逐次比較近似 ADC の整数論に基づく冗長アルゴリズム設計」